Attorney Docket No.: 60675 (48229)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

INVENTOR(S): Tetsumasa SATO

U.S.S.N.: 10/759,609 ART UNIT: Not Yet Assigned

FILED: January 16, 2004 EXAMINER: Not Yet Assigned

FOR: METHOD FOR MANUFCATURING A SEMICONDUCTOR DEVICE

OIPE JC61 JUL 27 2004 PATENT & TRADEMARK OFFICE

CERTIFICATE OF EXPRESS MAILING (Label No.: EV 438977278 US)

I certify that this document fee is being deposited with the U.S. Postal Service "Express Mail Post Office to Addressee" service under 37 C.F.R. in an envelope addressed to: Mail Stop AMENDMENT, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on July 27, 2004.

By: Nicole M. McKinnon

Nicole M. McKinnon

Mail Stop AMENDMENT
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF CERTIFIED COPIES

Sir:

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

Country:	JAPAN
Application Number:	2003-009932
Filing Date:	17 January 2003

Respectfully submitted,

Date: July 27, 2004
Customer No. 21874

John J. Penny, Jr.
(Reg. No. 36,984)
EDWARDS & ANGELL, LLP
P.O. Box 55874
Boston, MA 02205
Tel: (617) 517-5549
Fax: (617) 439-4170

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: ２００３年　１月１７日

出願番号
Application Number: 特願２００３－００９９３２

[ST. 10/C]: ［ＪＰ２００３－００９９３２］

出願人
Applicant(s): セイコーエプソン株式会社

２００４年　１月２９日

特許庁長官
Commissioner,
Japan Patent Office 今井康夫

出証番号　出証特２００４－３００３９７８

【書類名】　特許願
【整理番号】　EP-0392001
【提出日】　平成15年 1月17日
【あて先】　特許庁長官殿
【国際特許分類】　H01L 29/78
【発明者】
　【住所又は居所】　長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内
　【氏名】　佐藤　哲将
【特許出願人】
　【識別番号】　000002369
　【氏名又は名称】　セイコーエプソン株式会社
【代理人】
　【識別番号】　100090479
　【弁理士】
　【氏名又は名称】　井上　一
　【電話番号】　03-5397-0891
【選任した代理人】
　【識別番号】　100090387
　【弁理士】
　【氏名又は名称】　布施　行夫
　【電話番号】　03-5397-0891
【選任した代理人】
　【識別番号】　100090398
　【弁理士】
　【氏名又は名称】　大渕　美千栄
　【電話番号】　03-5397-0891

【手数料の表示】

【予納台帳番号】　039491

【納付金額】　21,000円

【提出物件の目録】

【物件名】　明細書　1

【物件名】　図面　1

【物件名】　要約書　1

【包括委任状番号】　9402500

【プルーフの要否】　要

【書類名】　明細書

【発明の名称】　半導体装置の製造方法

【特許請求の範囲】

【請求項１】　（ａ）半導体層上に、素子分離領域と、前記素子分離領域によって電気的に分離された活性領域とを形成し、

（ｂ）第１不純物導入領域を形成することにより、前記活性領域の少なくとも一部に抵抗不純物層を形成し、その際に、前記素子分離領域に第１不純物導入禁止領域を設けること、

を含む、半導体装置の製造方法。

【請求項２】　請求項１において、

前記（ｂ）において、

前記抵抗不純物層を複数形成し、

前記第１不純物導入禁止領域は少なくとも、隣り合う前記第１不純物導入領域を分離するように形成される、半導体装置の製造方法。

【請求項３】　請求項１または２において、

さらに、（ｃ）前記抵抗不純物層に連続する領域に第２不純物導入領域を形成することにより、コンタクト不純物層を形成すること、を含む、半導体装置の製造方法。

【請求項４】　請求項３において、

前記（ｃ）において、

前記第２不純物導入領域を形成する際、少なくとも前記素子分離領域に第２不純物導入禁止領域を設ける、半導体装置の製造方法。

【請求項５】　請求項４において、

前記（ｃ）において、

前記コンタクト不純物層を複数形成し、

前記第２不純物導入禁止領域は少なくとも、隣り合う前記第２不純物導入領域を分離するように形成される、半導体装置の製造方法。

【請求項６】　（ａ）半導体層上に、素子分離領域と、前記素子分離領域に

よって電気的に分離された活性領域とを形成し、

（ｂ）第１不純物導入領域を形成することにより、前記活性領域の少なくとも一部に抵抗不純物層を形成し、

（ｃ）前記抵抗不純物層に連続する領域に第２不純物導入領域を形成することにより、コンタクト不純物層を形成し、その際に、少なくとも前記素子分離領域に第２不純物導入禁止領域を設けることを、

を含む、半導体装置の製造方法。

【請求項７】　請求項６において、

前記（ｃ）において、

前記コンタクト不純物層を複数形成し、

前記第２不純物導入禁止領域は少なくとも、隣り合う前記第２不純物導入領域を分離するように形成される、半導体装置の製造方法。

【請求項８】　活性領域に形成された抵抗不純物層と、ソースードレイン間耐圧が異なる絶縁ゲート型の高耐圧トランジスタおよび低耐圧トランジスタとが同一の半導体層上に混在する半導体装置の製造方法であって、

（ａ）前記半導体層上に、素子分離領域と、前記素子分離領域によって電気的に分離された活性領域とを形成し、

（ｂ）前記半導体層の上方に絶縁層を形成し、

（ｃ）前記抵抗不純物層の形成領域において、第１不純物導入領域を形成することにより、前記活性領域の少なくとも一部に抵抗不純物層を形成し、その際に、前記素子分離領域に第１不純物導入禁止領域を設け、

（ｄ）前記絶縁層を所定の形状にパターニングすることにより、前記高耐圧トランジスタの形成領域において、該高耐圧トランジスタのゲート絶縁層を形成し、前記低耐圧トランジスタおよび前記抵抗不純物層の形成領域において、前記絶縁層を除去し、

（ｅ）前記低耐圧トランジスタの形成領域において、該低耐圧トランジスタのゲート絶縁層を形成し、

（ｆ）前記第１および第２ゲート絶縁層上にそれぞれ、前記各トランジスタのゲート導電層を形成し、

（ｇ）第２不純物を導入することにより、前記各トランジスタのソース／ドレイン領域を形成すること、を含む、半導体装置の製造方法。

【請求項９】　請求項８において、

前記（ｇ）において、

前記第２不純物を導入することにより、前記各トランジスタのソース／ドレイン領域を形成するとともに、前記抵抗不純物層の形成領域において、前記抵抗不純物層に連続する領域にコンタクト不純物層を形成すること、を含む、半導体装置の製造方法。

【請求項１０】　請求項９において、

前記（ｇ）において、

前記第２不純物を導入する際、前記抵抗不純物層の形成領域において、少なくとも前記活性領域に第２不純物導入領域を設け、少なくとも前記素子分離領域に第２不純物導入禁止領域を設ける、半導体装置の製造方法。

【請求項１１】　請求項１０において、

前記（ｇ）において、

前記コンタクト不純物層を複数形成し、

前記第２不純物導入禁止領域は少なくとも、隣り合う前記第２不純物導入領域を分離するように形成される、半導体装置の製造方法。

【請求項１２】　請求項９ないし１１のいずれかにおいて、

前記（ｃ）において、

前記抵抗不純物層を複数形成し、

前記第１不純物導入禁止領域は少なくとも、隣り合う前記第１不純物導入領域を分離するように形成される、半導体装置の製造方法。

【請求項１３】　活性領域に形成された抵抗不純物層と、ソース－ドレイン間耐圧が異なる絶縁ゲート型の高耐圧トランジスタおよび低耐圧トランジスタとが同一の半導体層上に混在する半導体装置の製造方法であって、

（ａ）前記半導体層上に、素子分離領域と、前記素子分離領域によって電気的に分離された活性領域とを形成し、

（ｂ）前記半導体層の上方に絶縁層を形成し、

（ｃ）第１不純物導入領域を形成することにより、前記活性領域の少なくとも一部に抵抗不純物層を形成し、

（ｄ）前記絶縁層を所定の形状にパターニングすることにより、前記高耐圧トランジスタの形成領域において、該高耐圧トランジスタのゲート絶縁層を形成し、前記低耐圧トランジスタおよび前記抵抗不純物層の形成領域において、前記絶縁層を除去し、

（ｅ）前記低耐圧トランジスタの形成領域において、該低耐圧トランジスタのゲート絶縁層を形成し、

（ｆ）前記第１および第２ゲート絶縁層上にそれぞれ、前記各トランジスタのゲート導電層を形成し、

（ｇ）前記第２不純物を導入することにより、前記各トランジスタのソース／ドレイン領域を形成するとともに、前記抵抗不純物層に連続する領域にコンタクト不純物層を形成し、その際に、少なくとも前記素子分離領域に第２不純物導入禁止領域を設けること、

を含む、半導体装置の製造方法。

【請求項１４】　請求項１３において、

前記（ｇ）において、

前記第２不純物を導入する際、前記抵抗不純物層の形成領域において、少なくとも前記活性領域に第２不純物導入領域を設け、少なくとも前記素子分離領域に第２不純物導入禁止領域を設ける、半導体装置の製造方法。

【請求項１５】　請求項１４において、

前記（ｇ）において、

前記コンタクト不純物層を複数形成し、

前記第２不純物導入禁止領域は少なくとも、隣り合う前記第２不純物導入領域を分離するように形成される、半導体装置の製造方法。

【請求項１６】　請求項１ないし１５のいずれかにおいて、

前記素子分離領域は、セミリセスＬＯＣＯＳである、半導体装置の製造方法。

【請求項１７】　半導体層と、

前記半導体層上に形成され、ソースードレイン間耐圧が異なる絶縁ゲート型の

高耐圧トランジスタおよび低耐圧トランジスタと、

前記半導体層上に形成された抵抗不純物層と、

を含む、半導体装置。

【請求項１８】　請求項１７において、

前記半導体層には、素子分離領域と、該素子分離領域によって電気的に分離された活性領域とが形成され、

前記抵抗不純物層は、前記活性領域に形成されている、半導体装置。

【請求項１９】　請求項１７または１８において、

前記素子分離領域は、セミリセスＬＯＣＯＳである、半導体装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、抵抗不純物層を含む半導体装置およびその製造方法に関する。

【０００２】

【背景技術】

半導体層に形成される抵抗素子として、例えば抵抗不純物層がある。この抵抗不純物層は、例えばシリコン基板からなる半導体層に不純物を導入することにより形成される。この抵抗不純物層は例えば、素子分離領域によって電気的に分離された領域（活性領域）に形成される。この場合、この抵抗不純物層が正常に動作するためには、前記素子分離領域によって、前記抵抗不純物層とその周辺領域との絶縁性が十分に確保されていることが重要である。

【０００３】

【発明が解決しようとする課題】

本発明の目的は、抵抗不純物層を含む新規な半導体装置およびその製造方法を提供することにある。

【０００４】

【課題を解決するための手段】

１．第１の半導体装置の製造方法

本発明の第１の半導体装置の製造方法は、

（ａ）半導体層上に、素子分離領域と、前記素子分離領域によって電気的に分離された活性領域とを形成し、

（ｂ）第１不純物導入領域を形成することにより、前記活性領域の少なくとも一部に抵抗不純物層を形成し、その際に、前記素子分離領域に第１不純物導入禁止領域を設けること、

を含む。

【０００５】

本明細書において、第１不純物導入領域とは、第１不純物が導入される領域をいい、第１不純物導入禁止領域とは、前記第１不純物が導入されない領域をいう。

【０００６】

本発明の第１の半導体装置の製造方法によれば、前記素子分離領域の絶縁性を確保することができ、高品質の半導体装置を得ることができる。詳しくは、本発明の実施の形態の欄で述べる。

【０００７】

また、本発明の第１の半導体装置の製造方法は、以下の（１）～（３）の態様をとることができる。

【０００８】

（１）前記（ｂ）において、

前記抵抗不純物層を複数形成し、

前記第１不純物導入禁止領域は少なくとも、隣り合う前記第１不純物導入領域を分離するように形成できる。これにより、隣り合う前記第１不純物導入領域の間には前記第１不純物が導入されないため、前記素子分離領域の特性を変化させることがなく、前記素子分離領域の形状を損なうことがない。このため、前記素子分離領域の絶縁性をより確実に確保することができる。

【０００９】

（２）さらに、（ｃ）前記抵抗不純物層に連続する領域に第２不純物導入領域を形成することにより、コンタクト不純物層を形成すること、を含むことができる。

【００１０】

この場合、前記（ｃ）において、前記第２不純物導入領域を形成する際、少なくとも前記素子分離領域に第２不純物導入禁止領域を設けることができる。これにより、前記素子分離領域の特性を変化させることがなく、前記素子分離領域の形状を損なうことがない。このため、前記素子分離領域の絶縁性をより確実に確保することができる。

【００１１】

なお、本明細書において、第２不純物導入領域とは、第２不純物が導入される領域をいい、第２不純物導入禁止領域とは、前記第２不純物が導入されない領域をいう。

【００１２】

また、この場合、前記（ｃ）において、前記コンタクト不純物層を複数形成し、

前記第２不純物導入禁止領域は少なくとも、隣り合う前記第２不純物導入領域を分離するように形成できる。これにより、隣り合う前記第２不純物導入領域の間には前記第２不純物が導入されないため、前記素子分離領域の形状を損なうことがない。このため、前記素子分離領域の絶縁性をさらに確実に確保することができる。

【００１３】

２．第２の半導体装置の製造方法

本発明の第２の半導体装置の製造方法は、

（ａ）半導体層上に、素子分離領域と、前記素子分離領域によって電気的に分離された活性領域とを形成し、

（ｂ）第１不純物導入領域を形成することにより、前記活性領域の少なくとも一部に抵抗不純物層を形成し、

（ｃ）前記抵抗不純物層に連続する領域に第２不純物導入領域を形成することにより、コンタクト不純物層を形成し、その際に、少なくとも前記素子分離領域に第２不純物導入禁止領域を設けることを、

を含む。

【００１４】

本発明の第２の半導体装置の製造方法によれば、前記素子分離領域の絶縁性を確保することができ、高品質の半導体装置を得ることができる。詳しくは、本発明の実施の形態の欄で述べる。

【００１５】

また、本発明の第２の半導体装置の製造方法は、さらに、前記（ｃ）において、

前記コンタクト不純物層を複数形成し、前記第２不純物導入禁止領域は少なくとも、隣り合う前記第２不純物導入領域を分離するように形成できる。これにより、隣り合う前記第２不純物導入領域には前記第２不純物が導入されないため、前記素子分離領域の形状を損なうことがない。このため、前記素子分離領域の絶縁性をさらに確実に確保することができる。

【００１６】

３．第３の半導体装置の製造方法

本発明の第３の半導体装置の製造方法は、

活性領域に形成された抵抗不純物層と、ソースードレイン間耐圧が異なる絶縁ゲート型の高耐圧トランジスタおよび低耐圧トランジスタとが同一の半導体層上に混在する半導体装置の製造方法であって、

（ａ）前記半導体層上に、素子分離領域と、前記素子分離領域によって電気的に分離された活性領域とを形成し、

（ｂ）前記半導体層の上方に絶縁層を形成し、

（ｃ）前記抵抗不純物層の形成領域において、第１不純物導入領域を形成することにより、前記活性領域の少なくとも一部に抵抗不純物層を形成し、その際に、前記素子分離領域に第１不純物導入禁止領域を設け、

（ｄ）前記絶縁層を所定の形状にパターニングすることにより、前記高耐圧トランジスタの形成領域において、該高耐圧トランジスタのゲート絶縁層を形成し、前記低耐圧トランジスタおよび前記抵抗不純物層の形成領域において、前記絶縁層を除去し、

（ｅ）前記低耐圧トランジスタの形成領域において、該低耐圧トランジスタの

ゲート絶縁層を形成し、

（ｆ）前記第１および第２ゲート絶縁層上にそれぞれ、前記各トランジスタのゲート導電層を形成し、

（ｇ）第２不純物を導入することにより、前記各トランジスタのソース／ドレイン領域を形成すること、を含む。

【００１７】

本発明の第３の半導体装置の製造方法によれば、前記素子分離領域の絶縁性を確保することができ、高品質の半導体装置を得ることができる。詳しくは、本発明の実施の形態の欄で述べる。

【００１８】

また、本発明の第３の半導体装置の製造方法は、以下の（１）および（２）の態様をとることができる。

【００１９】

（１）前記（ｇ）において、

前記第２不純物を導入することにより、前記各トランジスタのソース／ドレイン領域を形成するとともに、前記抵抗不純物層に連続する領域にコンタクト不純物層を形成すること、を含むことができる。これにより、前記各トランジスタのソース／ドレイン領域と、前記コンタクト不純物層とを同一の工程で形成することができるため、製造プロセスの効率化を図ることができる。

【００２０】

この場合、前記（ｇ）において、前記第２不純物を導入する際、前記抵抗不純物層の形成領域において、少なくとも前記活性領域に第２不純物導入領域を設け、少なくとも前記素子分離領域に第２不純物導入禁止領域を設けることができる。これにより、前記素子分離領域の特性を変化させることがなく、前記素子分離領域の形状を損なうことがない。このため、前記素子分離領域の絶縁性をより確実に確保することができる。

【００２１】

また、この場合、前記（ｇ）において、前記コンタクト不純物層を複数形成し、前記第２不純物導入禁止領域は少なくとも、隣り合う前記第２不純物導入領域

を分離するように形成できる。これにより、隣り合う前記第２不純物導入領域の間には前記第２不純物が導入されないため、前記素子分離領域の形状を損なうことがない。このため、前記素子分離領域の絶縁性をさらに確実に確保することができる。

【００２２】

（２）前記（ｃ）において、前記抵抗不純物層を複数形成し、

前記第１不純物導入禁止領域は少なくとも、隣り合う前記第１不純物導入領域を分離するように形成できる。これにより、隣り合う前記第１不純物導入領域の間には前記第１不純物が導入されないため、前記素子分離領域の特性を変化させることがなく、前記素子分離領域の形状を損なうことがない。このため、前記素子分離領域の絶縁性をさらに確実に確保することができる。

【００２３】

４．第４の半導体装置の製造方法

本発明の第４の半導体装置の製造方法は、

活性領域に形成された抵抗不純物層と、ソースードレイン間耐圧が異なる絶縁ゲート型の高耐圧トランジスタおよび低耐圧トランジスタとが同一の半導体層上に混在する半導体装置の製造方法であって、

（ａ）前記半導体層上に、素子分離領域と、前記素子分離領域によって電気的に分離された活性領域とを形成し、

（ｂ）前記半導体層の上方に絶縁層を形成し、

（ｃ）第１不純物導入領域を形成することにより、前記活性領域の少なくとも一部に抵抗不純物層を形成し、

（ｄ）前記絶縁層を所定の形状にパターニングすることにより、前記高耐圧トランジスタの形成領域において、該高耐圧トランジスタのゲート絶縁層を形成し、前記低耐圧トランジスタおよび前記抵抗不純物層の形成領域において、前記絶縁層を除去し、

（ｅ）前記低耐圧トランジスタの形成領域において、該低耐圧トランジスタのゲート絶縁層を形成し、

（ｆ）前記第１および第２ゲート絶縁層上にそれぞれ、前記各トランジスタの

ゲート導電層を形成し、

（ｇ）前記第２不純物を導入することにより、前記各トランジスタのソース／ドレイン領域を形成するとともに、前記抵抗不純物層に連続する領域にコンタクト不純物層を形成し、その際に、少なくとも前記素子分離領域に第２不純物導入禁止領域を設けること、

を含む。

【００２４】

本発明の第４の半導体装置の製造方法によれば、前記素子分離領域の絶縁性を確保することができ、高品質の半導体装置を得ることができる。また、前記（ｇ）において、前記各トランジスタのソース／ドレイン領域と、前記コンタクト不純物層とを同一の工程で形成することができるため、製造プロセスの効率化を図ることができる。詳しくは、本発明の実施の形態の欄で述べる。

【００２５】

また、本発明の第４の半導体装置の製造方法は、以下の態様をとることができる。

【００２６】

前記（ｇ）において、

前記第２不純物を導入する際、前記抵抗不純物層の形成領域において、少なくとも前記活性領域に第２不純物導入領域を設け、少なくとも前記素子分離領域に第２不純物導入禁止領域を設けることができる。これにより、前記素子分離領域の特性を変化させることがなく、前記素子分離領域の形状を損なうことがない。このため、前記素子分離領域の絶縁性をより確実に確保することができる。

【００２７】

この場合、前記（ｇ）において、前記コンタクト不純物層を複数形成し、前記第２不純物導入禁止領域は少なくとも、隣り合う前記第２不純物導入領域を分離するように形成できる。これにより、隣り合う前記第２不純物導入領域の間には前記第２不純物が導入されないため、前記素子分離領域の形状を損なうことがない。このため、前記素子分離領域の絶縁性をさらに確実に確保することができる。

【００２８】

また、前述した本発明の第１～４の半導体装置の製造方法において、前記素子分離領域は、セミリセスＬＯＣＯＳであることができる。この場合、通常のＬＯＣＯＳ酸化によって形成される素子分離領域よりも膜厚が小さいため、前述した本発明の製造方法によって、前記素子分離領域の絶縁性を確保することにより得られる効果が大きい。

【００２９】

５．半導体装置

本発明の半導体装置は、

半導体層と、

前記半導体層上に形成され、ソースードレイン間耐圧が異なる絶縁ゲート型の高耐圧トランジスタおよび低耐圧トランジスタと、

前記半導体層上に形成された抵抗不純物層と、

を含む。

【００３０】

前述した本発明の半導体装置の製造方法によれば、上記構成を有する半導体装置を製造できる。

【００３１】

この場合、前記半導体層には、素子分離領域と、該素子分離領域によって電気的に分離された活性領域とが形成され、

前記抵抗不純物層は、前記活性領域に形成できる。

【００３２】

また、この場合、前記素子分離領域は、セミリセスＬＯＣＯＳであることができる。この構成によれば、前記素子分離領域は、通常のＬＯＣＯＳ酸化によって形成される素子分離領域よりも膜厚が小さいため、前記素子分離領域の絶縁性を確保することにより得られる効果が大きい。

【００３３】

【発明の実施の形態】

以下、本発明の好適な実施の形態について、図面を参照しながら説明する。

【００３４】

１．半導体装置の構造

図１は、本発明を適用した第１の実施の形態に係る半導体装置を模式的に示す断面図である。図２は、図１に示す抵抗素子１００，高耐圧トランジスタ２００および低耐圧トランジスタ３００の部分を抜粋した断面図である。すなわち、図２に示す抵抗素子１００およびトランジスタ２００，３００は、図１に示す半導体装置の一部を抜き出して示したものである。図３は、図１および図２に示す抵抗不純物層２４を模式的に示す平面図である。図４は、図３に示す抵抗素子１００のＢ－Ｂ線に沿った断面であり、図５は、図３に示す抵抗素子１００のＣ－Ｃ線に沿った断面である。なお、図２に示す抵抗素子１００の断面は、図３のＡ－Ａ線に沿った断面である。

【００３５】

本実施の形態の半導体装置は、図１に示すように、抵抗素子１００とｎＭＯＳトランジスタ（高耐圧および低耐圧トランジスタ）２００，３００とを含む。この抵抗素子１００およびｎＭＯＳトランジスタ２００，３００は同一の半導体層上に混在している。なお、本実施の形態の半導体装置においては、前記半導体層として、ｐ型シリコン基板からなる半導体基板１０を用いた場合について説明する。また、ｎＭＯＳトランジスタ２００，３００のゲート導電層２０Ｈ，２０Ｌは、ドープトポリシリコン層からなるが、このような構造も通常、ＭＯＳ構造と呼ばれている。

【００３６】

（Ａ）抵抗素子

抵抗素子１００は図１～図３に示すように、抵抗不純物層２４を含む。この抵抗不純物層２４は、半導体基板１０に形成されている。図１～図３に示す半導体装置では、抵抗不純物層２４が複数形成されている場合を示す。この場合、隣り合う抵抗不純物層２４は、素子分離領域１２によって電気的に分離されている。本実施の形態においては、素子分離領域１２がセミリセスＬＯＣＯＳ酸化によって形成された場合を示す。また、この抵抗不純物層２４の抵抗値は、導入される不純物の種類および量を適宜調整することにより所望の値に設定することができ

る。なお、本実施の形態では、抵抗不純物層２４にｎ型不純物が導入されている場合について説明するが、抵抗不純物層２４に導入される不純物の導電型はこれに限定されるわけではない。

【００３７】

また、抵抗素子１００には図３～図５に示すように、コンタクト不純物層２６が形成されている。また、コンタクト不純物層２６は抵抗不純物層２４と連続しており、かつ、コンタクト不純物層２６の上にはコンタクト３０が設置されている。コンタクト不純物層２６は、コンタクト３０との良好な電気的接続を得るため、抵抗不純物層２４よりも不純物濃度が高く形成されている。コンタクト３０は、図４に示すように、絶縁層７０に形成されたコンタクトホール３２に導電層３４が埋め込まれて形成されている。このコンタクト３０の上には配線層３６が形成されている。すなわち、コンタクト不純物層２６はコンタクト３０を介して配線層３６と電気的に接続されている。また、コンタクト３０においてより良好な電気的接続を得るため、コンタクト不純物層２６の上にはシリサイド層２６Ｓを形成することにより、コンタクト不純物層２６の低抵抗化を図ることができる。

【００３８】

（Ｂ）高耐圧トランジスタおよび低耐圧トランジスタ

本実施の形態の半導体装置では、図１および図２に示すように、抵抗素子１００とともに、高耐圧トランジスタ２００，４００および低耐圧トランジスタ３００，５００が同一の半導体基板１０上に混在している。

【００３９】

図１において、領域ＨＶは、高耐圧トランジスタ２００，４００が形成されている領域を示し、領域ＬＶは、低耐圧トランジスタ３００，５００が形成されている領域を示す。また、領域ＨＶｎは、高耐圧ＮチャネルＭＯＳ（ｎＭＯＳ）トランジスタ２００の形成領域を示し、領域ＬＶｎは、低耐圧ＮチャネルＭＯＳ（ｎＭＯＳ）トランジスタ３００の形成領域を示す。同様に、領域ＨＶｐは、高耐圧ＰチャネルＭＯＳ（ｐＭＯＳ）トランジスタ４００の形成領域を示し、領域ＬＶｐは、低耐圧ＰチャネルＭＯＳ（ｎＭＯＳ）トランジスタ５００の形成領域を

示す。各トランジスタは、素子分離領域１２によって分離されている。本実施の形態では、素子分離領域１２がセミリセスＬＯＣＯＳからなる場合を示す。

【００４０】

また、この半導体装置においては、図１に示すように、高耐圧トランジスタ２００，４００のゲート絶縁層の膜厚は、低耐圧トランジスタ３００，５００のゲート絶縁層の膜厚よりも大きく形成されている。

【００４１】

前述したように、図２においては、抵抗素子１００と、ｎＭＯＳである高耐圧トランジスタ２００および低耐圧トランジスタ３００を抜粋して示している。

【００４２】

高耐圧トランジスタ２００および低耐圧トランジスタ３００は、ソース－ドレイン間耐圧が異なる絶縁ゲート型のトランジスタである。また、この半導体装置は図１に示すように、トリプルウエル構造を有する。具体的には、領域ＨＶにおいて、ｐ型シリコン基板からなる半導体基板１０内にｎ型ウエル５１が形成され、このｎ型ウエル５１内にｐ型ウエル１１が形成されている。さらに、図１に示すように、半導体基板１０にはｎ型ウエル４１とｐ型ウエル６１とが形成されている。

【００４３】

トランジスタ２００はこのトリプルウエル構造内に形成されている。具体的には、図１に示すように、高耐圧トランジスタ２００は、ｎ型ウエル５１内に形成されたｐ型ウエル１１内に形成されている。また、低耐圧トランジスタ３００はｐ型ウエル６１内に形成されている。

【００４４】

高耐圧トランジスタ２００は、図１および図２に示すように、ゲート絶縁層１４Ｈおよびゲート導電層１６Ｈを含む。ゲート導電層１６Ｈはゲート絶縁層１４Ｈの上方に形成されている。また、ゲート導電層１６Ｈの上にはシリサイド層２０ＳＨを形成することができる。

【００４５】

高耐圧トランジスタ２００はさらに、ｎ型のソース／ドレイン領域１７，１９

を含む。このソース／ドレイン領域１７，１９は、ゲート導電層１６Ｈを挟むように形成されている。このソース／ドレイン領域１７，１９はそれぞれオフセット領域３７，３９内に形成されている。また、このソース／ドレイン領域１７，１９上にはそれぞれ、シリサイド層１７Ｓ，１９Ｓを形成することができる。

【００４６】

また、低耐圧トランジスタ３００は、図１および図２に示すように、ゲート絶縁層２８Ｌおよびゲート導電層１６Ｌを含む。ゲート導電層１６Ｌはゲート絶縁層２８Ｌの上に形成されている。また、ゲート導電層１６Ｌの上にはシリサイド層２０ＳＬを形成することができる。

【００４７】

低耐圧トランジスタ３００はさらに、ｎ型のソース／ドレイン領域４７，４９を含む。このソース／ドレイン領域４７，４９は、ゲート導電層１６Ｌを挟むように形成されている。このソース／ドレイン領域４７，４９はそれぞれオフセット領域２７，２９内に形成されている。また、このソース／ドレイン領域２７，２９上にはそれぞれ、シリサイド層４７Ｓ，４９Ｓを形成することができる。

【００４８】

ゲート絶縁層１４Ｈ，２８Ｌは、例えば酸化シリコン層からなり、ゲート導電層１６Ｈ，１６Ｌはドープトポリシリコン層からなる。

【００４９】

２．半導体装置の製造方法

次に、本実施の形態に係る半導体装置の製造方法について、図１～図２５を参照して説明する。なお、図６，図７，図９～図２０，図２２および図２３の断面図は、図２に示す半導体装置の断面図に対応する。本実施の形態においては、図１に示す半導体装置のうち、抵抗素子１００，高耐圧ｎＭＯＳトランジスタ２００および低耐圧ｎＭＯＳトランジスタ３００部分の製造方法について主に説明し、他の領域については、原則として説明を省略する。以下、抵抗素子１００が形成される領域を「抵抗素子の形成領域１００ａ」とし、高耐圧トランジスタ（ＨＶｎ）２００が形成される領域を「ＭＯＳトランジスタの形成領域２００ａ」とし、低耐圧トランジスタ（ＬＶｎ）３００が形成される領域を「ＭＯＳトランジ

スタの形成領域３００ａ」とする。

【００５０】

（Ａ）まず、半導体基板１０の表面に、素子分離領域１２が形成される（図１および図６参照）。具体的には、セミリセスＬＯＣＯＳ法によって素子分離領域１２が形成される。

【００５１】

（Ｂ）次いで、高耐圧トランジスタ２００のためのウエルが形成される（図１および図６参照）。

【００５２】

具体的には、一般的なフォトリソグラフィ法によって形成したレジストマスク（図示せず）を用いて、所定の領域に不純物を導入することにより、領域ＨＶに、ｎ型のウエル（ｎウエル）５１が形成される。さらに、ｎウエル５１のうち領域ＨＶｎに、ｐ型のウエル（ｐウエル）１１が形成される（図１参照）。このｎウエル５１には高耐圧ｐＭＯＳトランジスタ４００が形成され、ｐウエル１１には高耐圧ｎＭＯＳトランジスタ２００が形成される。

【００５３】

（Ｃ）次いで、高耐圧トランジスタ２００のソース／ドレインのオフセット領域３７，３９が形成される（図１，図２および図６参照）。

【００５４】

具体的には、高耐圧トランジスタの形成領域２００ａ内にｎ型不純物を導入することにより、ソース／ドレインのオフセット領域３７，３９が形成される。

【００５５】

（Ｄ）次いで、高耐圧トランジスタ２００のゲート絶縁層１４Ｈ（図１および図２参照）を形成するための絶縁層（第１絶縁層１４）が、半導体基板１０上に形成される（図７参照）。

【００５６】

具体的には、熱酸化によって半導体基板１０の表面を酸化して、半導体基板１０の表面全体に、酸化シリコンからなる第１絶縁層１４が形成される。

【００５７】

（Ｅ）次いで、抵抗素子の形成領域１００ａに、抵抗不純物層２４を形成するための不純物（第１不純物）が活性領域１５に導入される（図７参照）。すなわち、前記第１不純物は、抵抗素子１００を構成する抵抗不純物層２４を形成するために導入される不純物である。図７は、抵抗素子１００の抵抗不純物層２４を形成するために、活性領域１５に前記第１不純物を導入する工程を示す概略断面図である。

【００５８】

具体的には、図７に示すように、レジスト層Ｒ１が、半導体基板１０の上方に形成される。本実施の形態において、このレジスト層Ｒ１のパターンは、高耐圧トランジスタの形成領域２００ａおよび低耐圧トランジスタの形成領域３００ａを覆い、かつ、抵抗素子の形成領域１００ａに開口部を有する。前記開口部は、抵抗素子の形成領域１００ａにおいて、第１絶縁層１４の下で半導体基板１０の表面が露出している部分に形成される。すなわち、前記開口部は、抵抗素子の形成領域１００ａにおいて素子分離領域１２の上には形成されず、素子分離領域１２の表面はレジスト層Ｒ１で覆われている。

【００５９】

次いで、このレジスト層Ｒ１をマスクとして、前記第１不純物がイオン注入によって導入される。本実施の形態においては、前記第１不純物としてｎ型不純物層を導入する場合について説明するが、前記第１不純物の導電型や種類は特に限定されない。図７において、抵抗素子の形成領域１００ａ中「×」で示す部分に不純物が導入される。これにより、素子分離領域１２によって分離された活性領域１５に、抵抗不純物層２４が形成される（図９参照）。

【００６０】

また、この工程における抵抗素子の形成領域１００ａの平面図を図８に示す。図８において、点線で囲んだ領域内が第１不純物導入領域（前記第１不純物が導入される領域）２４ａである。すなわち、図８に示すように、前記第１不純物は、抵抗素子の形成領域１００ａのうち活性領域１５に導入される。一方、図８において、前記第１不純物が導入されない領域（第１不純物導入禁止領域）２５を斜線で示す。

【００６１】

第１不純物導入禁止領域２５は素子分離領域１２に形成される。また、この第１不純物導入禁止領域２５は少なくとも、隣り合う第１不純物導入領域２４ａを分離するように形成される。具体的には、図８において、素子分離領域１２には前記第１不純物が導入されない。これにより、素子分離領域１２の特性が変化するのを防止することができ、素子分離領域１２の絶縁性を高めることができる。なお、前記第１不純物を導入後、レジスト層Ｒ１は除去される。

【００６２】

（Ｆ）次いで、高耐圧トランジスタ２００のチャネル領域１３が形成される（図９および図１０参照）。具体的には、高耐圧トランジスタ２００の閾値電圧を調整するために、不純物がチャネル領域に導入される。図９および図１０は、高耐圧トランジスタ２００のチャネル領域１３を形成する工程を示す概略断面図である。

【００６３】

まず、第１絶縁層１４上にレジスト層Ｒ２が形成される。レジスト層Ｒ２は、高耐圧トランジスタの形成領域２００ａに開口部を有し、かつ、抵抗素子および低耐圧トランジスタ１００ａ，３００ａの形成領域を覆っている。そして、このレジスト層Ｒ２の開口部を介して、ｎ型不純物が半導体基板１０内にイオン注入によって導入される。図９において、高耐圧トランジスタの形成領域２００ａ中「×」で示す部分に不純物が導入される。これにより、高耐圧トランジスタ２００のチャネル領域１３が形成される（図１０参照）。前記不純物を導入後、レジスト層Ｒ２は除去される。

【００６４】

（Ｇ）次いで、高耐圧トランジスタ２００のゲート絶縁層１４Ｈが形成される（図１１および図１２参照）。図１１および図１２は、高耐圧トランジスタ２００のゲート絶縁層１４Ｈを形成する工程を示す概略断面図である。

【００６５】

具体的には、図１１に示すように、レジスト層Ｒ３が、第１絶縁層１４上に形成される。本実施の形態において、このレジスト層Ｒ３のパターンは、高耐圧ト

ランジスタの形成領域２００ａにおいて、第１絶縁層１４のうち高耐圧トランジスタ２００のゲート絶縁層１４Ｈとして利用する領域を覆い、かつ、抵抗素子の形成領域１００ａおよび低耐圧トランジスタの形成領域３００ａに開口部を有する。次いで、このレジスト層Ｒ３をマスクとして、第１絶縁層１４がエッチングされて、ゲート絶縁層１４Ｈが形成される。前記エッチングは、エッチャントとして例えばフッ酸を用いたウエットエッチングを採用することができる。ここで、抵抗素子の形成領域１００ａおよび低耐圧トランジスタの形成領域３００ａに形成されていた第１絶縁層１４は除去される。なお、最終的なゲート絶縁層１４Ｈの膜厚は、後述する処理を経てさらに大きくなる。

【００６６】

（Ｈ）次いで、低耐圧トランジスタ３００のためのウエル６１が形成される（図１および図１２参照）。

【００６７】

具体的には、一般的なフォトリソグラフィ法によって形成したレジストマスク（図示せず）を用いて、所定の領域に不純物を導入することにより、領域ＬＶｐに、低耐圧ｐＭＯＳトランジスタ５００を形成するためのｎ型のウエル（ｎウエル）４１が形成され、領域ＬＶｎに、低耐圧ｎＭＯＳトランジスタ３００を形成するためのｐ型のウエル（ｐウエル）６１が形成される（図１参照）。なお、この工程において、抵抗素子１００を形成する領域にも同時にｐ型のウエルが形成される。

【００６８】

次いで、熱酸化により第２絶縁層２８が形成される（図１４～図１６参照）。この第２絶縁層２８は、低耐圧トランジスタ３００のゲート絶縁層２８Ｌ（図２参照）として利用される。具体的には、後述する（Ｌ）の工程で第２絶縁層２８がエッチングされて、ゲート絶縁層２８Ｌが形成される。

【００６９】

（Ｉ）次いで、トランジスタ２００，３００のゲート導電層１６Ｈ，１６Ｌが形成される（図１４～図１６参照）。図１４，図１５および図１６は、高耐圧トランジスタ２００のゲート導電層１６Ｈと、低耐圧トランジスタ３００のゲート

導電層１６Ｌとを形成する工程を示す概略断面図である。

【００７０】

具体的には、まず、図１４に示すように、半導体基板１０の表面全体に、ポリシリコン層１６が堆積される。次に、レジスト層Ｒ４が形成される。レジスト層Ｒ４は、ポリシリコン層１６のうち高耐圧および低耐圧トランジスタ２００，３００のゲート導電層１６Ｈ，１６Ｌとして利用される領域に開口部を有している。レジスト層Ｒ４の開口部を介して、ポリシリコン層１６内にｎ型不純物がイオン注入によって導入される。このレジスト層Ｒ４は不純物導入後、除去される。次いで、熱処理が施されることにより、導入された不純物がポリシリコン層１６内で拡散し、図１５に示すように、少なくとも高耐圧および低耐圧トランジスタ２００，３００のゲート導電層１６Ｈ，１６Ｌが形成される領域に、ドープトポリシリコン層１６ａが形成される。

【００７１】

次いで、各トランジスタ２００，３００のゲート導電層１６Ｈ，１６Ｌとなる部分を保護するために、レジスト層Ｒ５が形成される（図１６参照）。そして、このレジスト層Ｒ５の開口部に露出する不要なポリシリコン層１６がエッチングによって除去される。これにより、図１６に示すように、高耐圧トランジスタ２００のゲート導電層１６Ｈと、低耐圧トランジスタ３００のゲート導電層１６Ｌとが形成される。その後、このレジスト層Ｒ５は除去される。

【００７２】

（Ｊ）次いで、低耐圧トランジスタ３００のソース／ドレインオフセット領域２７，２９を形成する（図１７参照）。図１７は、低耐圧トランジスタ３００のソース／ドレインオフセット領域２７，２９を形成する工程を示す概略断面図である。

【００７３】

具体的には、半導体基板１０の上方にレジスト層Ｒ６が形成される。レジスト層Ｒ６は、低耐圧トランジスタの形成領域３００ａに開口部を有している。そして、このレジスト層Ｒ６の開口部を介して、ｎ型不純物が、半導体基板１０内にイオン注入によって導入される。これにより、図１７に示すように、低耐圧トラ

ンジスタ３００のソース／ドレインのオフセット領域３７，３９が形成される。前記不純物を導入後、レジスト層Ｒ６は除去される。

【００７４】

（Ｋ）次いで、トランジスタ２００，３００のサイドウォール絶縁層１８Ｈ，１８Ｌが形成される（図１８および図１９参照）。図１８および図１９は、トランジスタ２００，３００のサイドウォール絶縁層１８Ｈ，１８Ｌを形成する工程を示す概略断面図である。

【００７５】

具体的には、図１８に示すように、半導体基板１０の上方全体に、第３絶縁層１８が形成された後、例えば反応性イオンエッチング（ＲＩＥ）などの異方性エッチングによって、第３絶縁層１８がエッチングされる。これにより、図１９に示すように、ゲート導電層１６Ｈの両側面にサイドウォール絶縁層１８Ｈが形成され、ゲート導電層１６Ｌの両側面にサイドウォール絶縁層１８Ｌが形成される。

【００７６】

なお、後述する工程において、サイドウォール絶縁層１８Ｌは、ソース／ドレイン領域４７，４９を形成するためのマスクとして機能する。

【００７７】

（Ｌ）次いで、高耐圧および低耐圧トランジスタの形成領域２００ａ，３００ａにおいて、トランジスタ２００，３００のソース／ドレイン領域１７，１９，４７，４９が形成され、抵抗素子の形成領域１００ａにおいて、抵抗導電層２４と連続するコンタクト不純物層２６が形成される（図２０～図２５参照）。図２０および図２３は、トランジスタ２００，３００のソース／ドレイン領域１７，１９，４７，４９およびコンタクト不純物層２６を形成する工程を示す概略断面図である。図２１は、図２０に示す工程における抵抗素子の形成領域１００ａを示す平面図である。すなわち、図２０の抵抗素子の形成領域１００ａの断面は、図２１のＡ－Ａ線に沿った断面を模式的に示す図である。図２２は、図２１のＢ－Ｂ線に沿った断面を模式的に示す図である。

【００７８】

まず、半導体基板１０の上方にレジスト層Ｒ７が形成される。レジスト層Ｒ７は、高耐圧トランジスタの形成領域２００ａおよび低耐圧トランジスタの形成領域３００ａに開口部を有している。図２２に示すように、レジスト層Ｒ７は、抵抗素子の形成領域１００ａのうち少なくともコンタクト３０（図３～図５参照）が形成される領域に開口部を有する。

【００７９】

具体的には図２０～図２２に示すように、このレジスト層Ｒ７の開口部を介して、ｎ型不純物（第２不純物）が、半導体基板１０内にイオン注入によって導入される。すなわち、前記第２不純物は、トランジスタ２００，３００のソース／ドレイン領域と、抵抗素子１００のコンタクト不純物層２６を形成するために導入される不純物である。図２０において、高耐圧トランジスタの形成領域２００ａおよび低耐圧トランジスタの形成領域３００ａ中「×」で示す部分に不純物が導入され、図２２において、抵抗素子の形成領域１００ａ中「×」で示す部分に不純物が導入される。また、図２１において、点線で囲んだ領域内が、前記第２不純物が導入される領域（第２不純物導入領域）２６ａであり、斜線で示した領域が、前記第２不純物が導入されない領域１２５（第２不純物導入禁止領域）である。

【００８０】

第２不純物導入禁止領域１２５は少なくとも素子分離領域１２に形成される。本実施の形態においては、第２不純物導入禁止領域１２５は、図２１に示すように、素子分離領域１２のみならず、活性領域１５を含む領域に形成される。前記第２不純物を導入後、レジスト層Ｒ７は除去される。

【００８１】

なお、第２絶縁層２８は、サイドウォール１８Ｈ，１８Ｌの加工時（前記工程（Ｋ）参照）に半導体基板１０上に残しておくと、前記第２不純物を導入する際に、半導体基板１０の表面を保護する機能を有する。

【００８２】

また、図２２に示すように、高耐圧トランジスタの形成領域２００ａのソース／ドレイン領域１７，１９は、ゲート絶縁層１４Ｈがマスクとして機能し、自己

整合的に形成される。また、図２３に示すように、低耐圧トランジスタの形成領域３００ａのソース／ドレイン領域４７，４９は、サイドウォール絶縁層１８Ｌがマスクとして機能し、自己整合的に形成される。

【００８３】

本実施の形態においては、図２１に示すように、第２不純物導入領域２６ａが隣り合う抵抗不純物層２４に連続して形成されている場合を示したが、あるいは、図２６に示すように、隣り合う第２不純物導入領域１２６ａが分離するように、前記第２不純物を導入することもできる。これにより、前記第２不純物が素子分離領域１２へ導入されないため、該第２不純物の導入によって素子分離領域１２の特性が変化するのを防止することができ、素子分離領域１２の絶縁性を確保することができる。図２６は、本実施の形態の半導体装置の製造方法の一変形例を示す平面図である。図２６において、第２不純物導入領域１２６ａを点線で示し、第２不純物導入禁止領域２２５を斜線で示す。図２６に示す変形例においては、第２不純物禁止領域２２５は、隣り合う第２不純物導入領域１２６ａを分離するように設けられる。この第２不純物禁止領域２２５は、素子分離領域１２および活性領域１５のうち、第２不純物導入領域１２６ａを除く領域に形成される。

【００８４】

次いで、この半導体基板１０に対して熱処理が施される。これにより、前述した工程にて導入された前記第２不純物が拡散する。その結果、図２３に示すように、高耐圧トランジスタの形成領域２００ａのオフセット領域３７，３９内にソース／ドレイン領域１７，１９がそれぞれ形成され、低耐圧トランジスタの形成領域３００ａのオフセット領域４７，４９内にソース／ドレイン領域２７，２９がそれぞれ形成される。また、図２４および図２５に示すように、抵抗不純物層２４に連続するコンタクト不純物層２６が形成される。上記工程を経て形成されるコンタクト不純物層２６は、抵抗不純物層２４よりも不純物濃度が高く形成される。図２４は、図２３に示す工程における抵抗素子の形成領域１００ａを示す平面図である。すなわち、図２３の抵抗素子の形成領域１００ａの断面は、図２４のＡ－Ａ線に沿った断面を模式的に示す図である。図２５は、図２４のＢ－Ｂ

線に沿った断面を模式的に示す図である。

【００８５】

次いで、抵抗素子の形成領域１００ａのうち抵抗不純物層２４上にレジスト層（図示せず）が形成される。このレジスト層をマスクとして、露出している第２絶縁層２８が除去される。これにより、低抵抗トランジスタ３００のゲート絶縁層２８Ｌが形成される。また、ソース／ドレイン領域１７，１９，４７，４９上に形成されていた第２絶縁層２８が除去される。一方、抵抗素子の形成領域１００ａでは、コンタクト抵抗層２６の上に形成されていた第２絶縁層２８が除去される。一方、抵抗不純物層２４を前記レジスト層で保護することにより、抵抗不純物層２４上に第２絶縁層２８を残存させる。その後、前記レジスト層は除去される。

【００８６】

（Ｍ）次いで、高耐圧および低耐圧トランジスタの形成領域２００ａ，３００ａにおいて、ソース／ドレイン領域およびゲート導電層の表面にシリサイド層が形成され、抵抗素子の形成領域１００ａにおいて、コンタクト不純物層２６の表面にシリサイド層が形成される（図１～図５参照）。

【００８７】

具体的には、公知のシリサイド化工程により、ソース／ドレイン領域１７，１９，４７，４９の表面にそれぞれシリサイド層１７Ｓ，１９Ｓ，４７Ｓ，４９Ｓを形成し、ゲート導電層１６Ｈ，１６Ｌの表面にそれぞれシリサイド層２０ＳＨ，２０ＳＬを形成し、コンタクト不純物層２６の表面にシリサイド層２６Ｓをそれぞれ形成する。次いで、熱処理が施され、前記シリサイド層の低抵抗化が図られる。次いで、絶縁層７０を形成した後、ソース／ドレイン領域１７，１９，４７，４９に接続されるコンタクト（図示せず）、ならびにコンタクト不純物層２６に接続されるコンタクト３０（図３参照）を形成する。以上の工程を経て、抵抗素子１００、高耐圧トランジスタ２００および低耐圧トランジスタ３００が形成される（図１～図５参照）。

【００８８】

（作用効果）

本実施の形態に係る半導体装置およびその製造方法によれば、次の作用効果を奏することができる。

【００８９】

（１）第１に、前記（Ｅ）の工程において、活性領域１５に前記第１不純物を導入して抵抗不純物層２４を形成する際に、素子分離領域１２に第１不純物導入禁止領域２４が設けることにより、素子分離領域１２の絶縁性を確保することができる。この作用効果を具体的に説明するために、以下に、まず比較例として、一般的な半導体装置の製造方法について説明する。図２８～図３４は、比較例である一般的な半導体装置の製造工程を模式的に示す図である。なお、図２９の抵抗素子の形成領域１００ａは、図２８のＡ－Ａ線に沿った断面に相当し、図３０～図３２および図３４は、図２８のＣ－Ｃ線に沿った断面に相当する。

【００９０】

（ａ）一般的な半導体装置の製造方法

図２８～図３４に示す比較例では、本実施の形態の半導体装置の製造方法と異なる製造工程について主に説明する。すなわち、比較例である一般的な半導体装置の製造方法は、途中の工程（前記（Ａ）～（Ｄ）の工程）までは、前述した本実施の形態の半導体装置の製造方法と同様の方法によって形成される。

【００９１】

次いで、比較例では、前記（Ｅ）の工程において、抵抗素子の形成領域１００ａにおいて、抵抗不純物層２４を形成するための不純物（第１不純物）を活性領域１５に導入する際に、抵抗素子の形成領域１００ａ全体に前記第１不純物を導入する（図２８～図３１参照）。これにより、図３１に示すように、活性領域１５には抵抗不純物層１２４が形成され、素子分離領域１２の上部１２ａには前記第１不純物が導入される。

【００９２】

図２９に示す抵抗素子の形成領域１００ａの平面形状を模式的に示したのが図２８である。また、図２８において点線で示した範囲内が、第１不純物導入領域（前記第１不純物が導入された領域）１２４ａである。さらに、図２９および図３０において、抵抗素子の形成領域１００ａ中「×」で示す部分が、前記第１不

純物が導入された領域である。

【００９３】

図２８～図３０に示すように、比較例では、抵抗素子の形成領域１００ａ全体（活性領域１５および素子分離領域１２の全体）に前記第１不純物が導入される結果、図３１に示すように、活性領域１５に前記第１不純物が導入されるとともに、素子分離領域１２の上部１２ａにも前記第１不純物が導入される。

【００９４】

次いで、前記（Ｆ）の工程と同様の工程を経て、前記（Ｇ）の工程を行なう。すなわち、この工程では、エッチングにより、高耐圧トランジスタ２００のゲート絶縁層１４Ｈを形成するとともに、抵抗素子の形成領域１００ａおよび低耐圧トランジスタの形成領域３００ａにおいて、第１絶縁層１４を除去する。この場合、前述した図２８～図３１に示す工程において、素子分離領域１２には前記第１不純物が導入され、素子分離領域１２の上部１２ａの特性が変化している。このため、素子分離領域１２のうち前記第１不純物が導入された領域は、前記第１不純物が導入されていない領域と比較して、第１絶縁層１４をエッチングする際に用いるエッチャントに対するエッチングレートが変化している。これにより、当該エッチングの際に、素子分離領域１２のうち前記第１不純物が導入されてエッチングレートが変化した領域１２ａが除去されてしまい、素子分離領域１２の膜厚が小さくなる場合がある。図３２において、素子分離領域１２のうち、当該エッチングによって除去された領域を１２ｂで示す。

【００９５】

次いで、前記（Ｈ）～（Ｋ）の工程を経た後、前記（Ｌ）の工程にて、抵抗素子の形成領域１００ａに、コンタクト不純物層２６のための第２不純物が導入される。前記第２不純物の導入範囲は図３３に示すように、前述した本実施の形態と同様である。この場合、前述したエッチング工程によって、素子分離領域１２の膜厚が小さくなっているため（図３２参照）、素子分離領域１２を通過して半導体基板１０に前記第２不純物が導入されてしまい、隣り合うコンタクト不純物層２６が導通するという問題が生じる場合があった。

【００９６】

（ｂ）本実施の形態の半導体装置の製造方法

これに対し、本実施の形態の半導体装置の製造方法によれば、前記（Ｅ）の工程で、抵抗素子の形成領域１００ａにおいて、活性領域１５に前記第１不純物を導入して抵抗不純物層２４を形成する際に、素子分離領域１２に第１不純物導入禁止領域２５を設ける。これにより、素子分離領域１２には前記第１不純物が導入されないため、前記第１不純物が素子分離領域１２へと導入されることによって素子分離領域１２の特性が変化するのを防止することができる。これにより、前記（Ｇ）のエッチング工程で、素子分離領域１２が除去されるのを防止することができるため、素子分離領域１２の絶縁性を確保することができ、高品質の半導体装置を得ることができる。具体的には、素子分離領域１２のうち隣り合うコンタクト不純物層２６を分離する領域の絶縁性を確保することができ、隣り合う抵抗不純物層２４を確実に絶縁することができる。

【００９７】

また、本実施の形態においては、素子分離領域１２がセミリセスＬＯＣＯＳからなる。このセミリセスＬＯＣＯＳは、半導体基板１０をリセスしてからフィールド酸化を行なうことにより形成される。したがって、セミリセスＬＯＣＯＳからなる素子分離領域１２の膜厚は、通常のＬＯＣＯＳ酸化により得られる素子分離領域の膜厚よりも小さい。このため、本実施の形態の半導体装置の製造方法によって、素子分離領域１２の絶縁性を確保することによって得られる効果が大きい。

【００９８】

さらに、本実施の形態の半導体装置の製造方法においては、前記（Ｇ）の工程で、エッチングにより、高耐圧トランジスタ２００のゲート絶縁層１４Ｈを形成し、低耐圧トランジスタおよび抵抗素子の形成領域１００ａ，３００ａにおいて第１絶縁層１４を除去する。第１絶縁層１４は高耐圧トランジスタ２００のゲート絶縁層１４Ｈを形成するのに利用されるため、高耐圧を確保するために膜厚が大きく形成されている。このため、第１絶縁層１４をエッチングする際の条件が比較的厳しいものとなる。したがって、前述した比較例のように、素子分離領域１２に前記第１不純物が導入された場合、第１絶縁層１４をエッチングする際に

、素子分離領域１２のうち前記第１不純物が導入された領域が除去されやすい。これに対し、本実施の形態の製造方法によれば、素子分離領域１２のうち、少なくとも隣り合う抵抗不純物層２４を分離する領域には前記第１不純物が導入されないため、第１絶縁層１４をエッチングする際に、素子分離領域１２が除去されるのを防止することができる。これにより、前記（Ｌ）の工程で、抵抗不純物層２４と連続するコンタクト不純物層２６を形成する際に、隣り合うコンタクト不純物層２６が導通するのを防止することができる。

【００９９】

（２）第２に、高耐圧および低耐圧トランジスタの形成領域２００ａ，３００ａにおいて、トランジスタ２００，３００のソース／ドレイン領域を形成する工程と、抵抗素子の形成領域１００ａにおいて、抵抗導電層２４と連続するコンタクト不純物層２６を形成する工程とを、同一の工程にて行なうことにより、製造プロセスの効率化を図ることができる。

【０１００】

[変形例]

図２７に、本実施の形態の半導体装置の製造方法の別の一変形例の平面図を示す。本変形例は、前述した本実施の形態の半導体装置の製造プロセスのうち、前記（Ｅ）に相当する工程において、第１不純物が導入される範囲が異なる。その他の工程は前述した本実施の形態の半導体装置の製造プロセスと同様である。

【０１０１】

図２７において、第１不純物導入領域１２４ａおよび第２不純物導入領域１２６ａを点線で示す。すなわち、点線で囲んだ領域内がそれぞれ、第１不純物導入領域１２４ａおよび第２不純物導入領域１２６ａである。また、図２７において、斜線で示した領域が第２不純物導入禁止領域３２５である。

【０１０２】

第１不純物導入領域１２４ａは、前述した（Ｅ）の工程に相当する工程で第１不純物が導入される領域である。具体的には、前述した本実施の形態の製造プロセスにおける（Ｅ）の工程では、活性領域１５に第１不純物が導入されるのに対し、この変形例では、活性領域１５および素子分離領域１２に第１不純物が導入

される。また、第２不純物導入領域１２６ａが設けられる範囲は、前述した図２６に示す変形例と同様である。

【０１０３】

図２７に示す変形例においては、隣り合う第２不純物導入領域１２６ａを分離するように第２不純物禁止領域３２５が形成されることにより、隣り合う第２不純物導入領域１２６ａに挟まれた領域には前記第２不純物が導入されないため、素子分離領域１２の絶縁性を確保することができる。これにより、隣り合うコンタクト不純物層２６が導通するのを防止することができる。

【０１０４】

本発明は、上述した実施の形態に限定されるものではなく、種々の変形が可能である。例えば、本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法および結果が同一の構成、あるいは目的および結果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

【０１０５】

例えば、上記の実施の形態においては、抵抗不純物層２４がｎ型不純物を導入することにより形成される場合を示したが、ｐ型不純物から抵抗不純物を形成することもできる。

【０１０６】

また、例えば、上記の実施の形態においては、トランジスタ２００，３００がｎ型ＭＯＳである場合、すなわち、半導体基板１０がｐ型シリコン基板であり、トランジスタ２００のソース／ドレイン領域１７，１９に導入される不純物をｎ型不純物とし、半導体基板１０のウエル１１およびゲート導電層１６Ｈ，２０Ｌに導入される不純物をｐ型不純物とする場合について説明したが、各層においてこれらを入れ替えても本発明の趣旨を逸脱するものではない。例えば、トランジスタ２００，３００のかわりに、図１に示すｐＭＯＳトランジスタ４００，５００を用いる場合でも同様の作用および効果を奏することができる。

【０１０７】

さらに、例えば、上記実施の形態では、半導体層としてバルク状の半導体基板を用いたが、ＳＯＩ基板の半導体層を用いることもできる。

【図面の簡単な説明】

【図１】　本発明を適用した一実施の形態に係る半導体装置を模式的に示す断面図である。

【図２】　図１に示す半導体装置のうち、高耐圧トランジスタ、低耐圧トランジスタおよび抵抗素子を模式的に示す断面図である。

【図３】　図１および図２に示す抵抗素子を模式的に示す平面図である。

【図４】　図３に示す抵抗素子のＢ－Ｂ線に沿った断面を模式的に示す図である。

【図５】　図３に示す抵抗素子のＣ－Ｃ線に沿った断面を模式的に示す図である。

【図６】　図１および図２に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図７】　図１および図２に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図８】　図７に示す工程における抵抗不純物層の形成領域を模式的に示す平面図である。

【図９】　図１および図２に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図１０】　図１および図２に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図１１】　図１および図２に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図１２】　図１および図２に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図１３】　図１および図２に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図１４】　図１および図２に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図１５】　図１および図２に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図１６】　図１および図２に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図１７】　図１および図２に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図１８】　図１および図２に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図１９】　図１および図２に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図２０】　図１および図２に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図２１】　図２０に示す工程における抵抗不純物層の形成領域を模式的に示す平面図である。

【図２２】　図２１に示す抵抗不純物層の形成領域のＢ－Ｂ線に沿った断面を模式的に示す図である。

【図２３】　図１および図２に示す半導体装置の製造方法の一工程を模式的に示す断面図である。

【図２４】　図２３に示す工程における抵抗不純物層の形成領域を模式的に示す平面図である。

【図２５】　図２４に示す抵抗不純物層の形成領域のＢ－Ｂ線に沿った断面を模式的に示す図である。

【図２６】　本実施の形態の一変形例を模式的に示す平面図である。

【図２７】　本実施の形態の別の一変形例を模式的に示す平面図である。

【図２８】　比較例である一般的な半導体装置の製造工程を模式的に示す平面図である。

【図２９】　比較例である一般的な半導体装置の製造工程を模式的に示す断

面図である。

【図３０】　比較例である一般的な半導体装置の製造工程を模式的に示す断面図である。

【図３１】　比較例である一般的な半導体装置の製造工程を模式的に示す断面図である。

【図３２】　比較例である一般的な半導体装置の製造工程を模式的に示す断面図である。

【図３３】　比較例である一般的な半導体装置の製造工程を模式的に示す平面図である。

【図３４】　比較例である一般的な半導体装置の製造工程を模式的に示す断面図である。

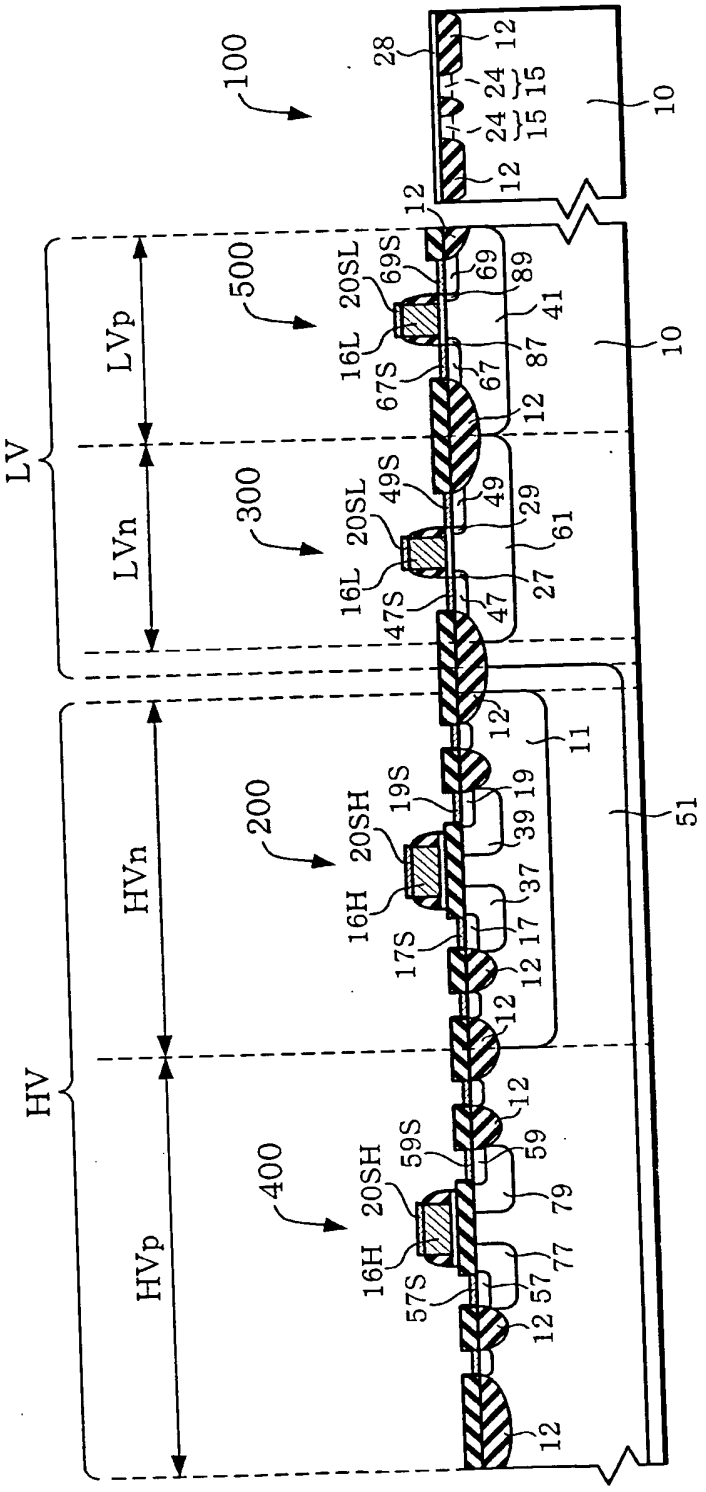
【符号の説明】

１０　半導体基板、　１１，４１，５１，６１　ウエル、　１２　素子分離領域、　１２ａ　不純物導入領域、　１３　チャネル領域、　１４　第１絶縁層、　１４Ｈ　ゲート絶縁層、　１５　活性領域、　１６　ポリシリコン層、　１６ａ　ドープトポリシリコン層、　１６Ｈ，１６Ｌ　ゲート導電層、　１７，１９，４７，４９，５７，５９，６７，６９　ソース／ドレイン領域、　１７Ｓ，１９Ｓ，２０ＳＨ，２０ＳＬ，２６Ｓ，４７Ｓ，４９Ｓ，５７Ｓ，５９Ｓ，６７Ｓ，６９Ｓ　シリサイド層、　１８　第３絶縁層、　１８Ｈ，１８Ｌ　サイドウォール絶縁層、　２４　抵抗不純物層、　２４ａ，１２４ａ　第１不純物導入領域、　２５　第１不純物導入禁止領域、　２６　コンタクト不純物層、　２６ａ，１２６ａ　第２不純物導入領域、　２７，２９　３７，３９，７７，７９，８７，８９　オフセット領域、　２８　第２絶縁層、　２８Ｌ　ゲート絶縁層、　３０　コンタクト、　３２　コンタクトホール、　３４　導電層、　３６　配線層、　７０　絶縁層、　１００　抵抗素子、　１００ａ　抵抗素子の形成領域、　１２５，２２５，３３５　第２不純物導入禁止領域、　２００　高耐圧トランジスタ（ＨＶｎ）、　２００ａ　高耐圧トランジスタの形成領域、　３００　低耐圧トランジスタ（ＬＶｎ）、　３００ａ　低耐圧トランジスタの形成領域、　４００　高耐圧トランジスタ（ＨＶｐ）、　５００　低耐圧トランジスタ（ＬＶｐ

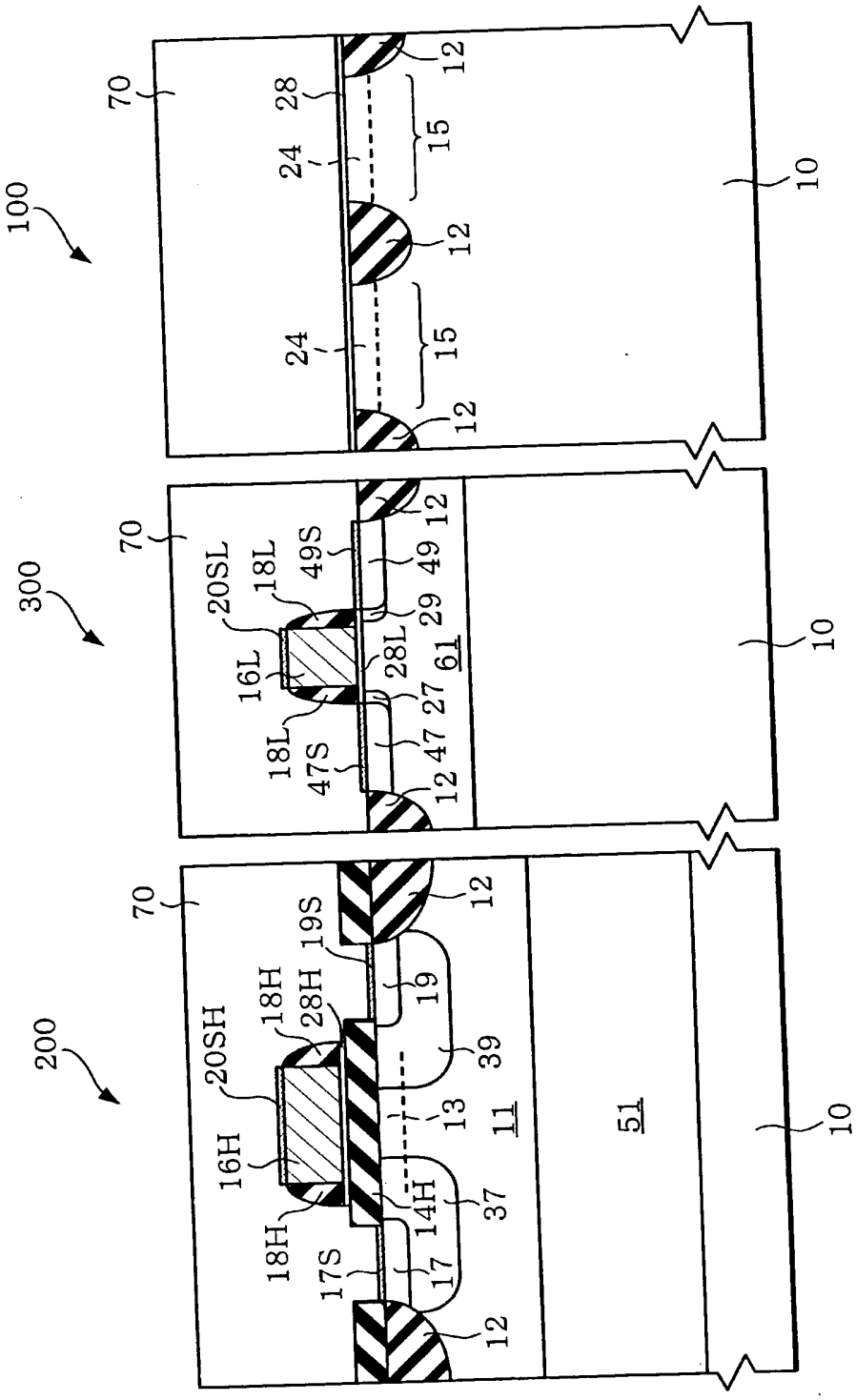
）、　Ｒ１，Ｒ２，Ｒ３，Ｒ４，Ｒ５，Ｒ６，Ｒ７　レジスト層

【書類名】　図面

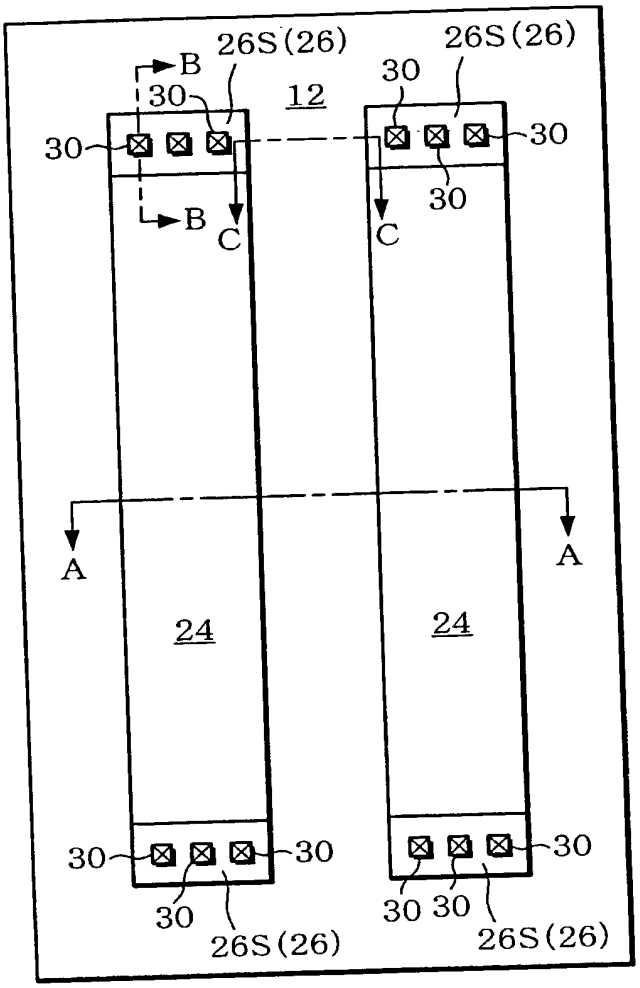
【図１】


100
28
12
24
15
10
500
20SL
69S
69
89
41
16L
67S
67
87
12
LV
LVp
LVn
300
49S
49
29
61
47S
47
27
11
51
200
20SH
19S
19
39
37
16H
17S
17
HV
HVn
HVp
400
59S
59
79
57S
57
77

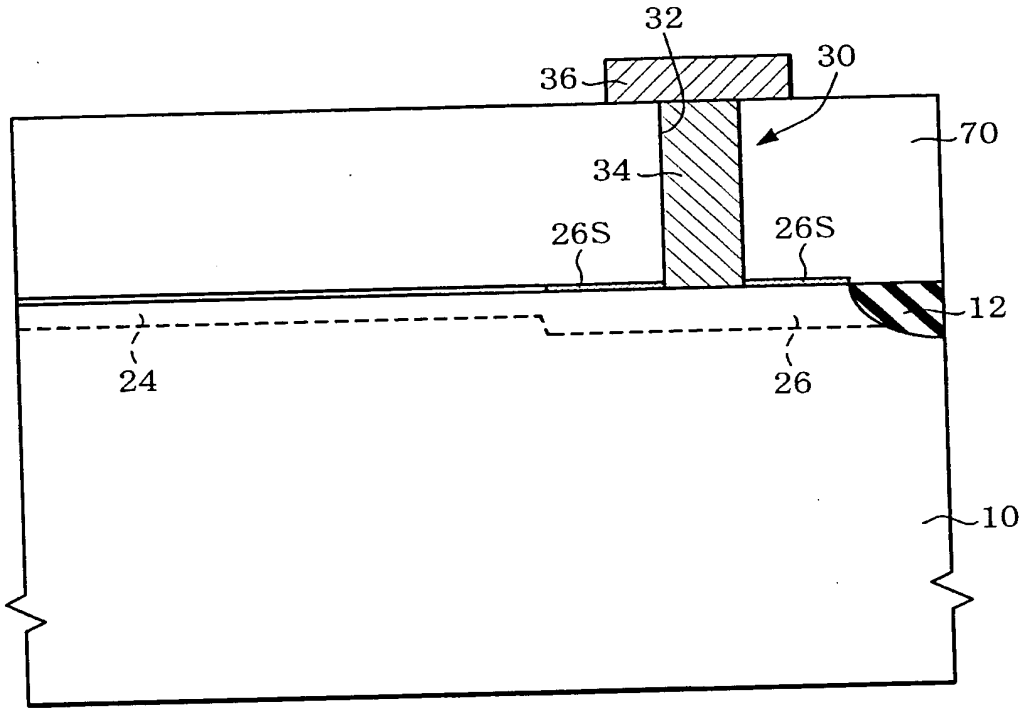
【図２】


100
300
200
70
10
12
15
24
28
49
49S
18L
20SL
16L
28L
29
61
27
47
47S
18H
20SH
16H
28H
19
19S
39
13
11
51
14H
37
17
17S

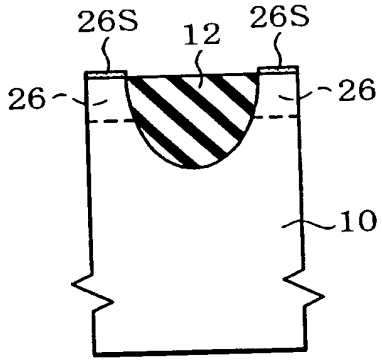
【図３】


26S(26)
26S(26)
B
30
12
30
30
30
B
C
C
30
A
A
24
24
30
30
30
30
30
30
30
26S(26)
26S(26)

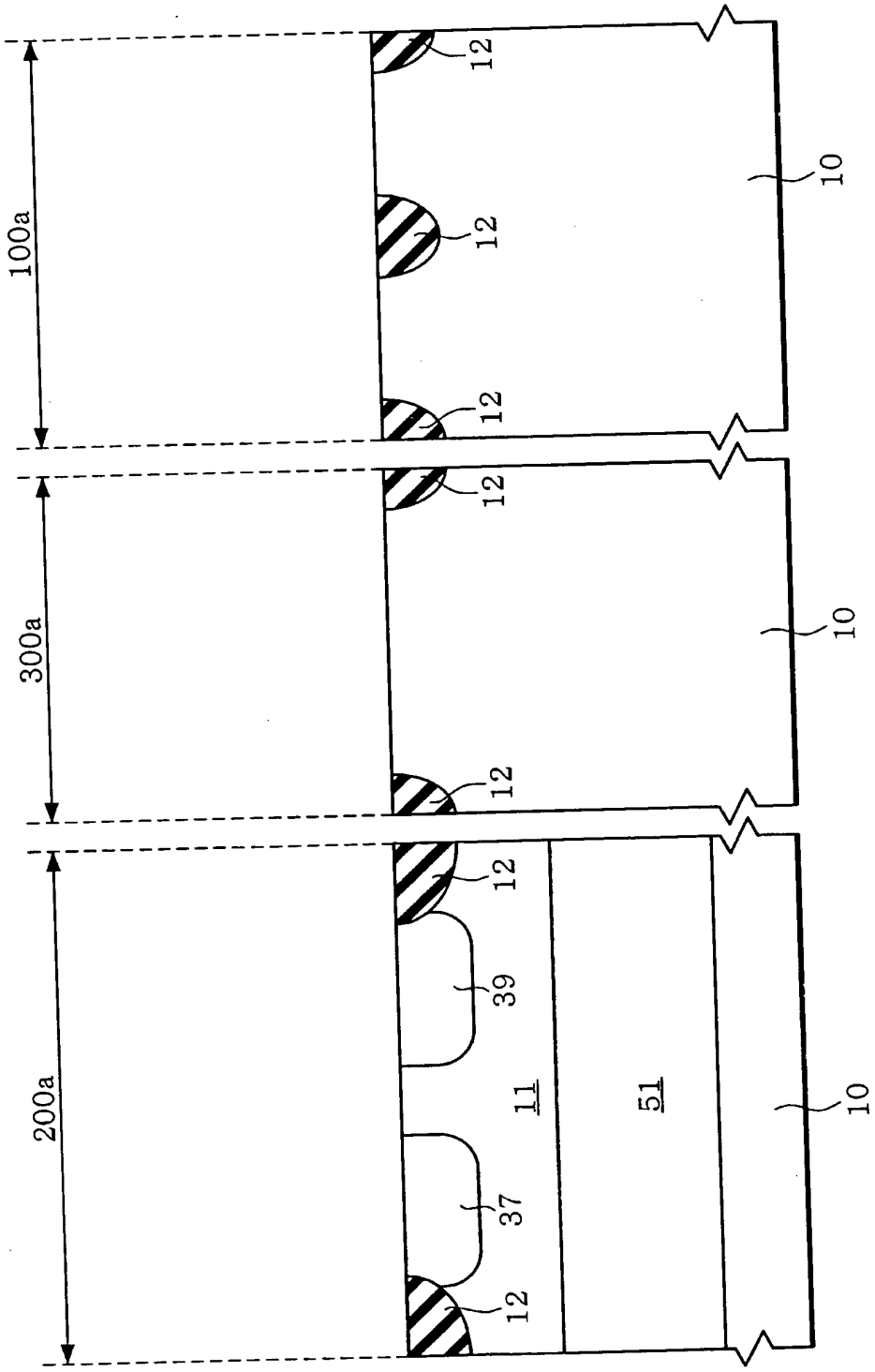
【図４】



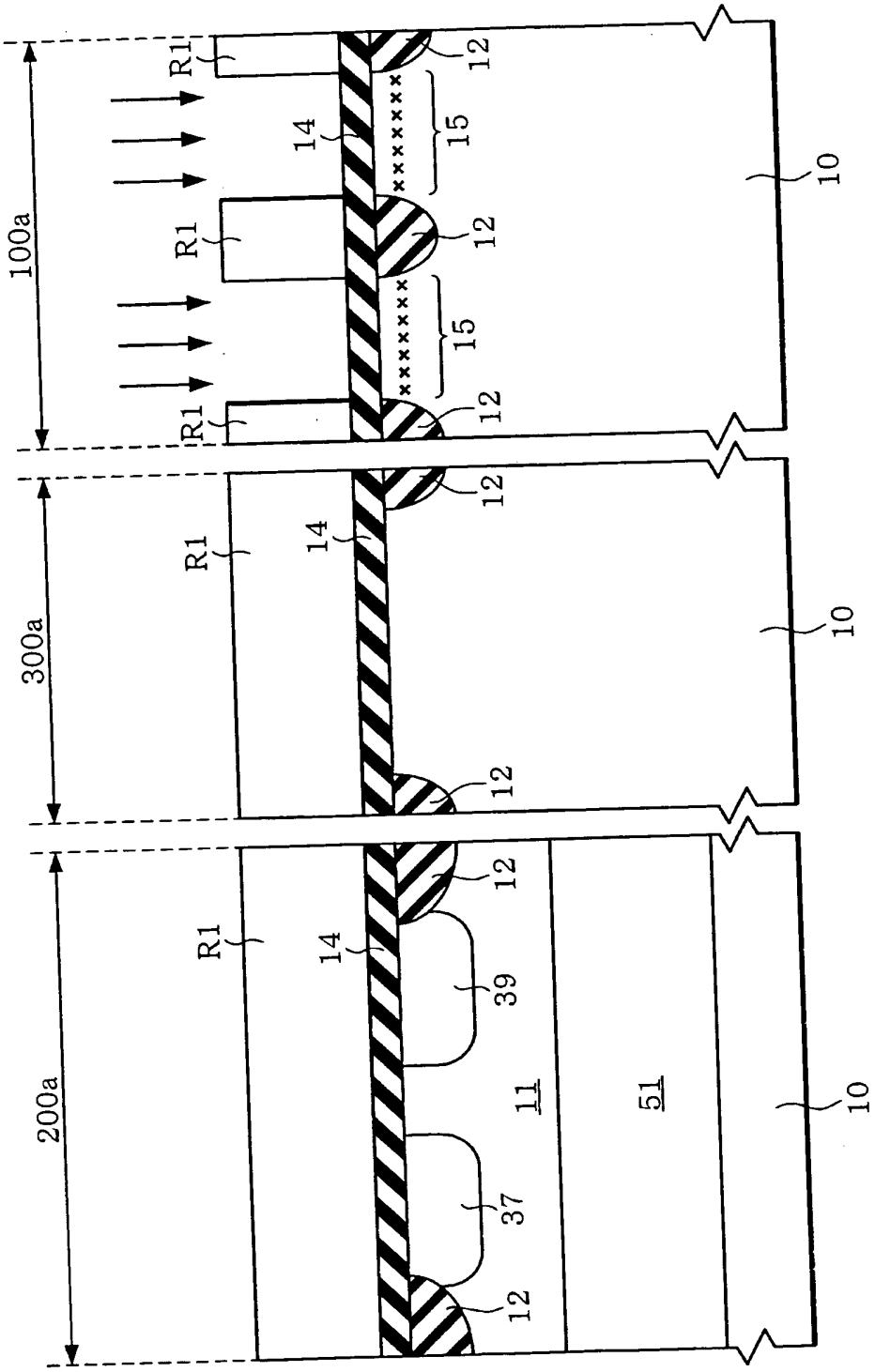
【図５】



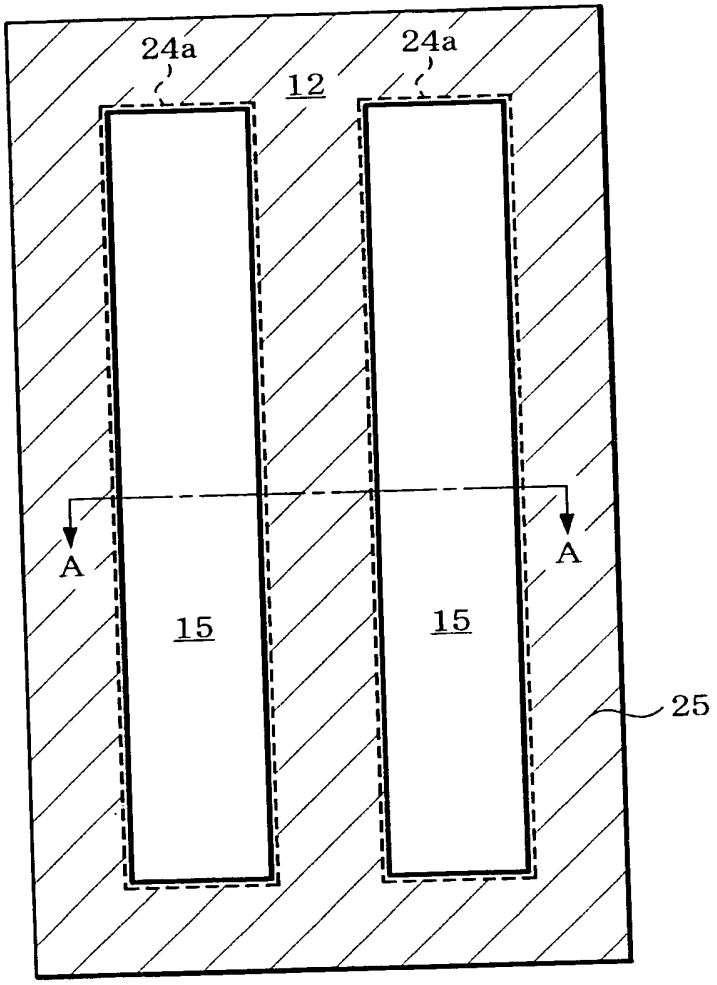
【図６】



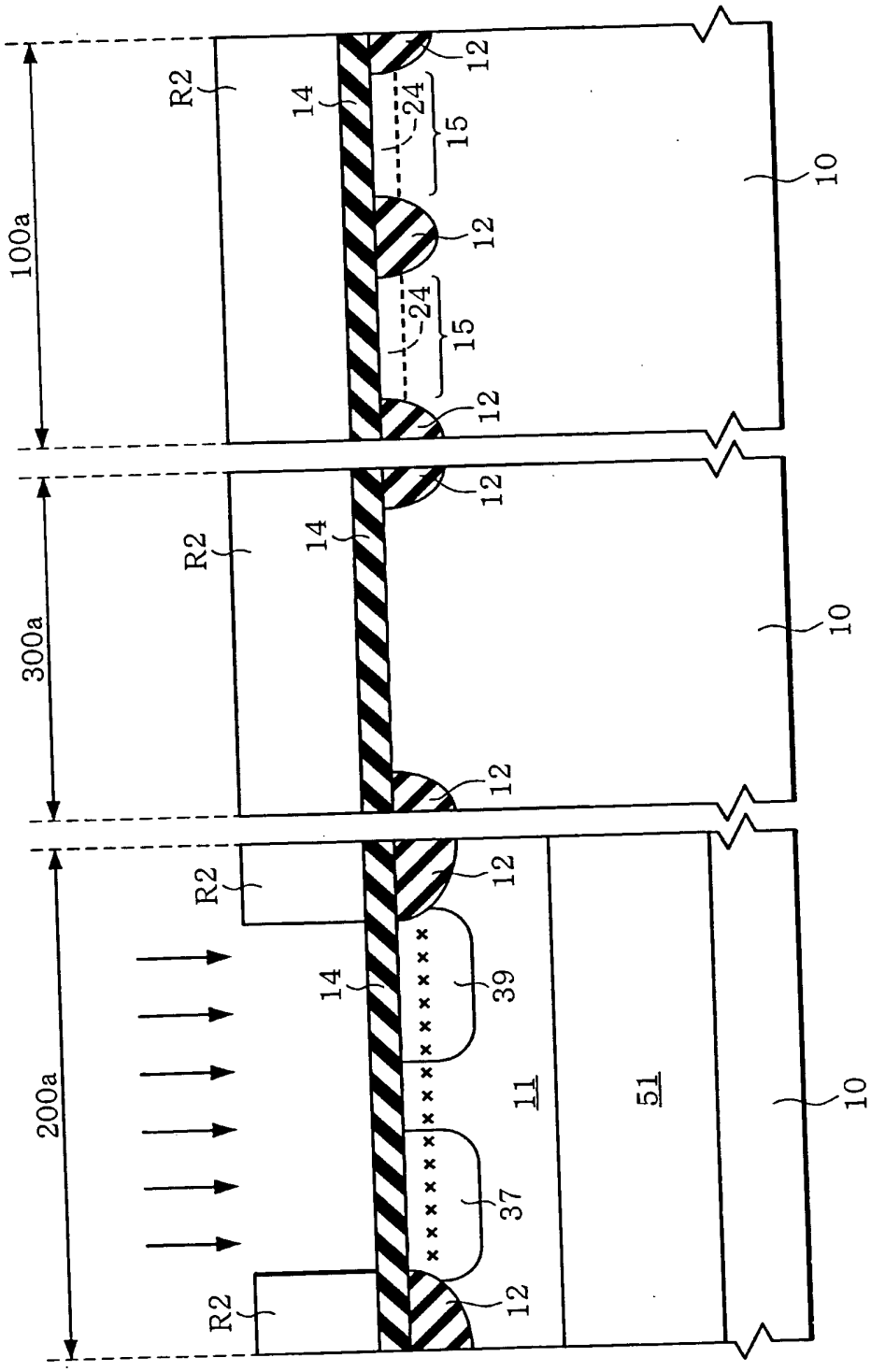
【図７】



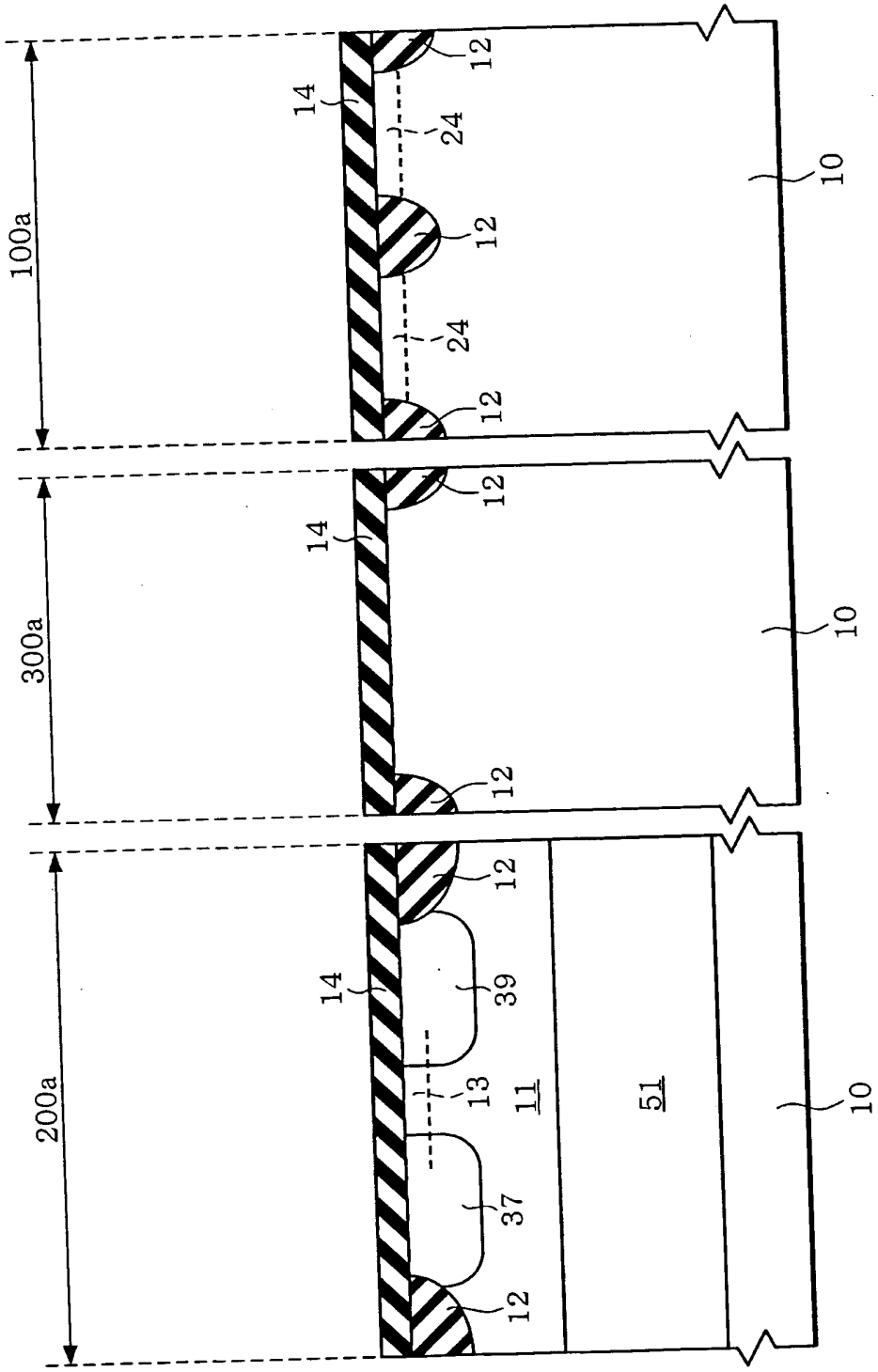
【図８】



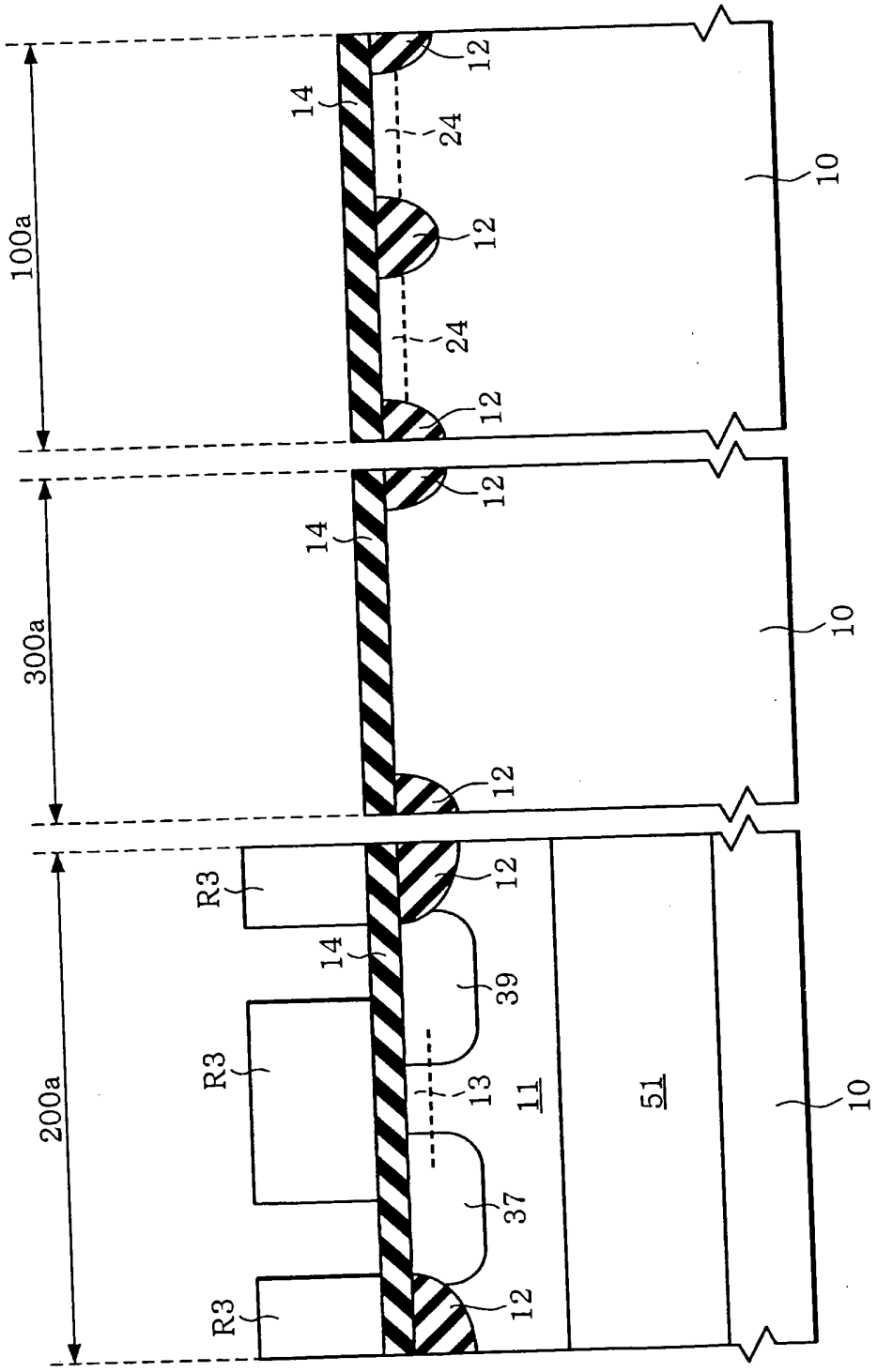
【図９】



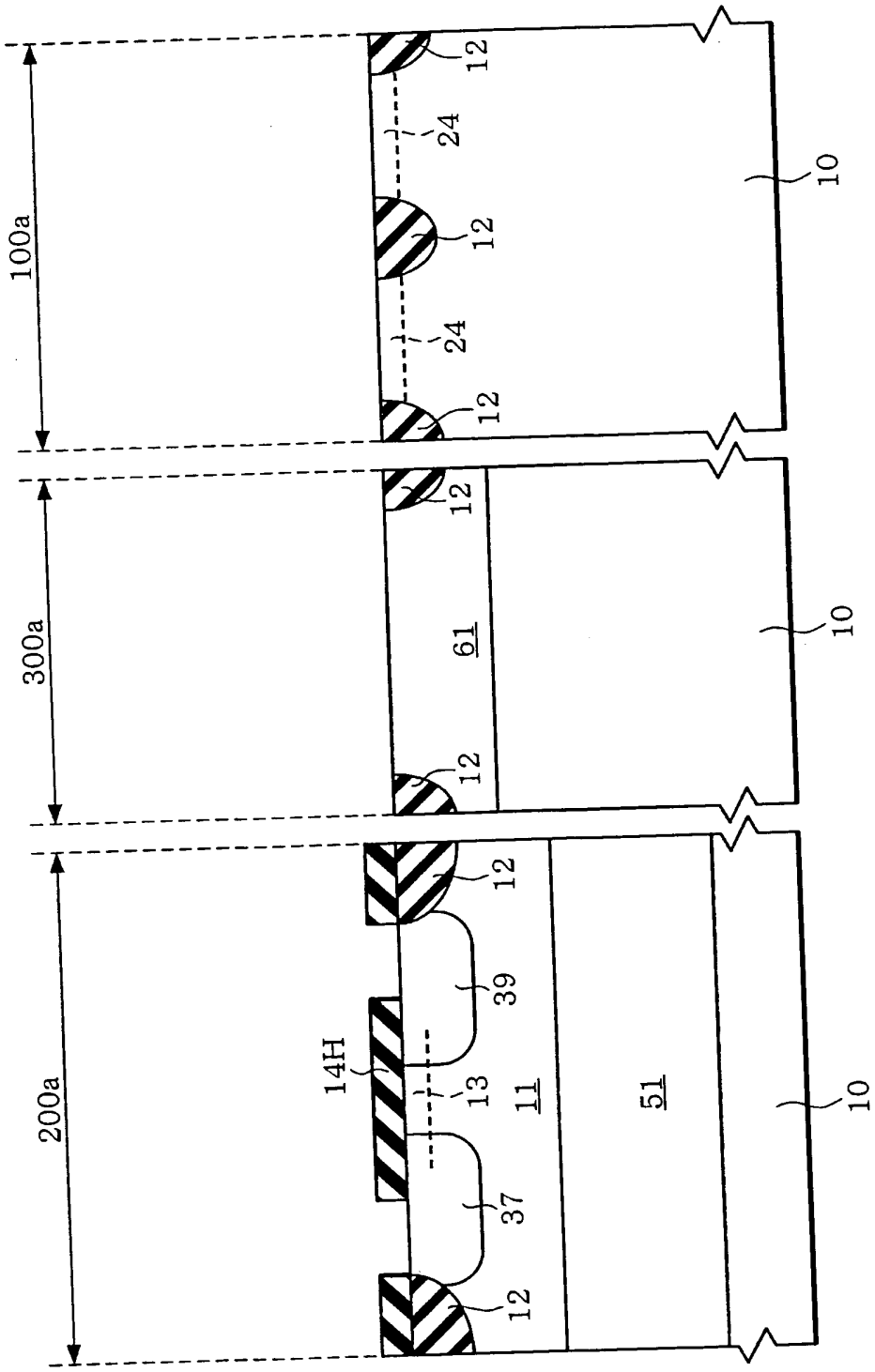
【図１０】



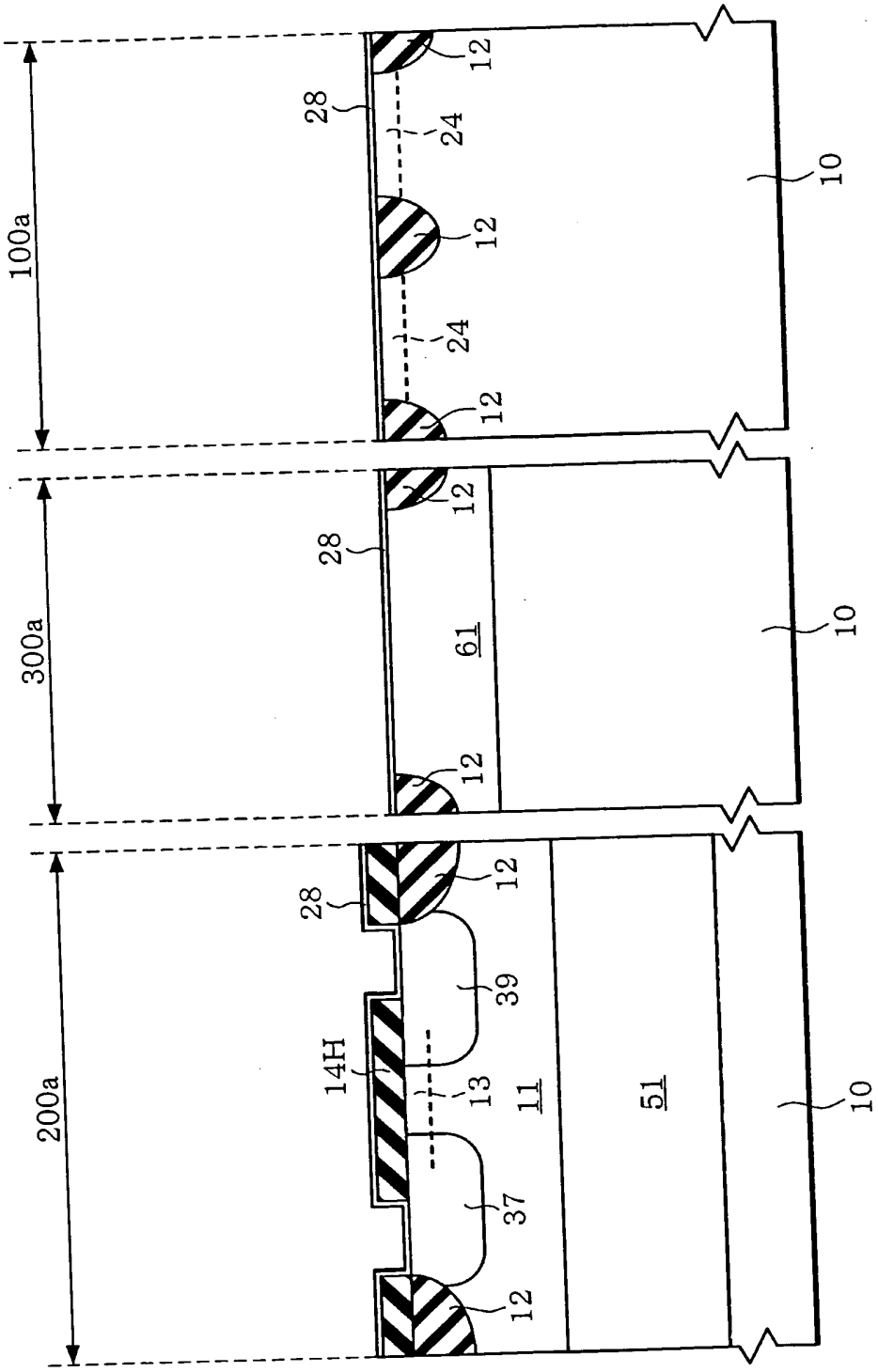
【図１１】



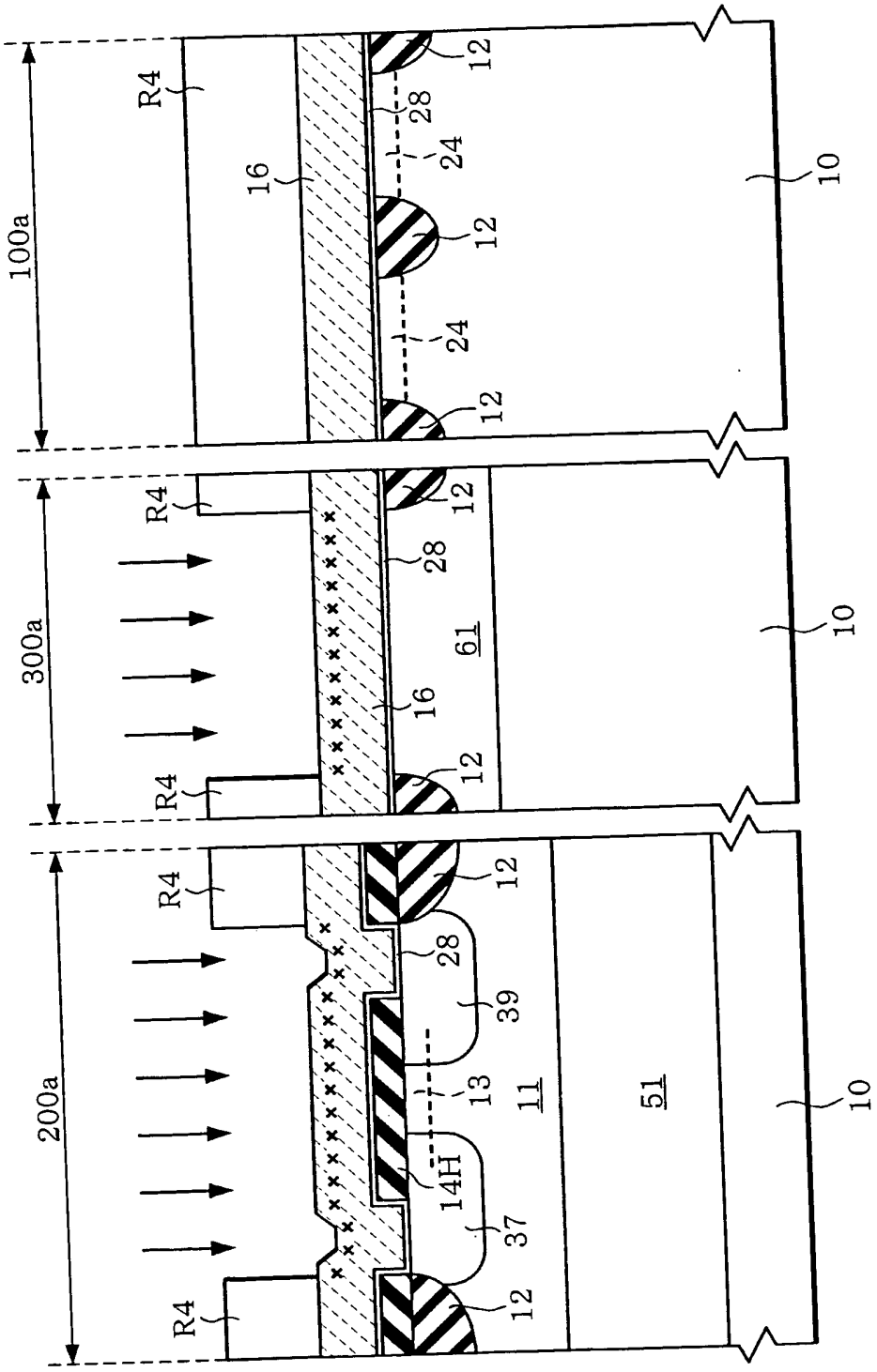
【図１２】



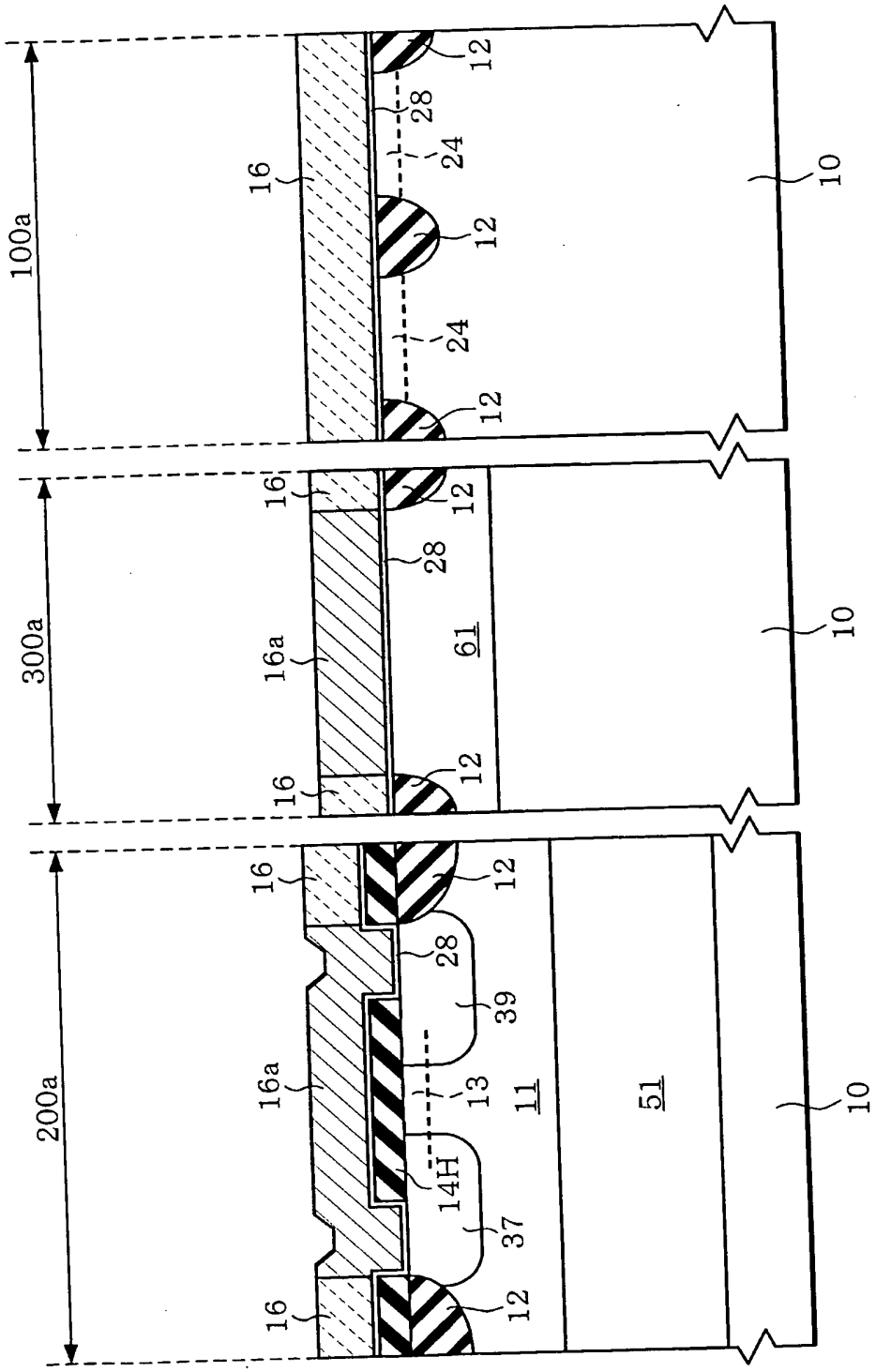
【図１３】



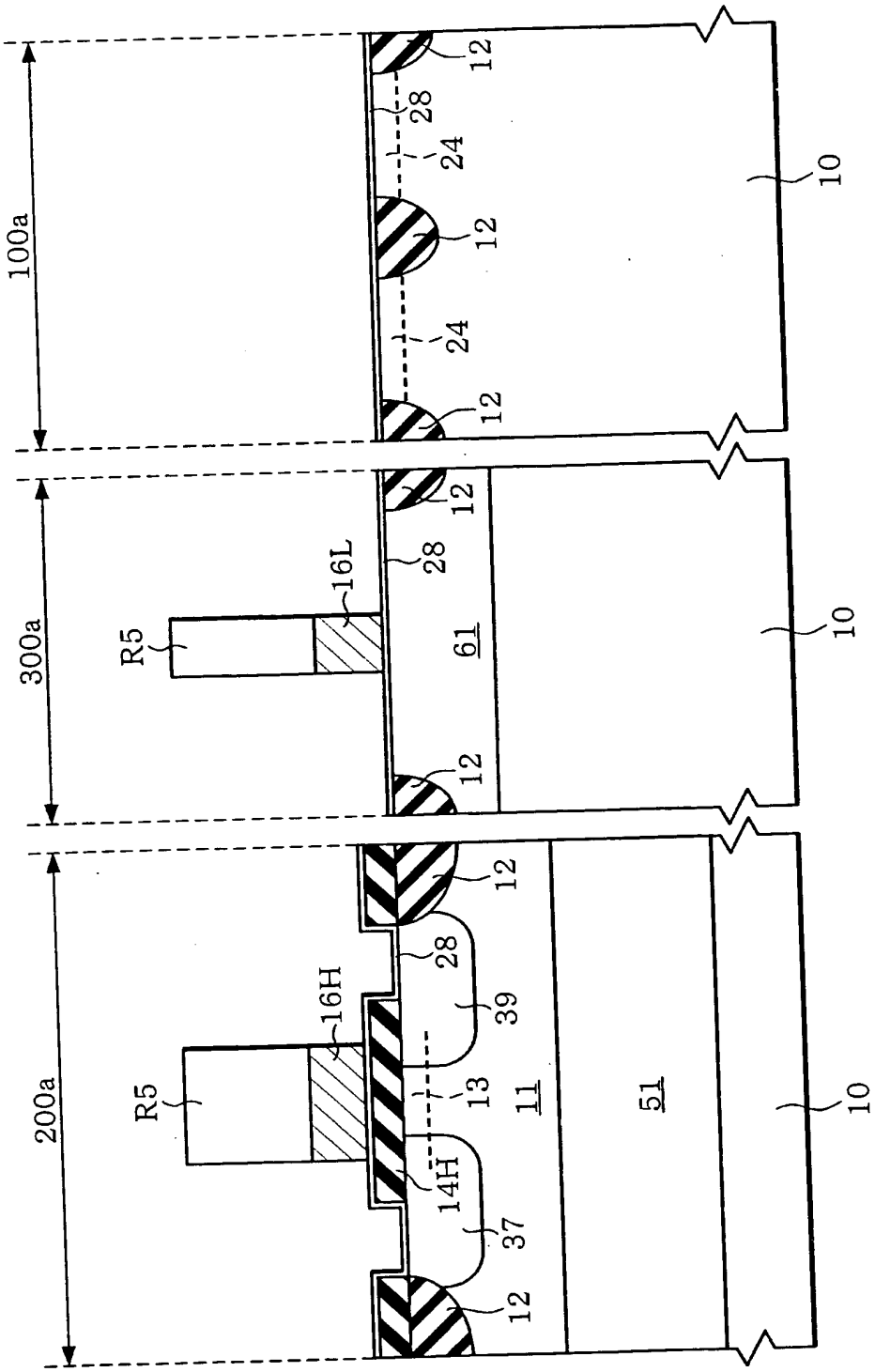
【図１４】



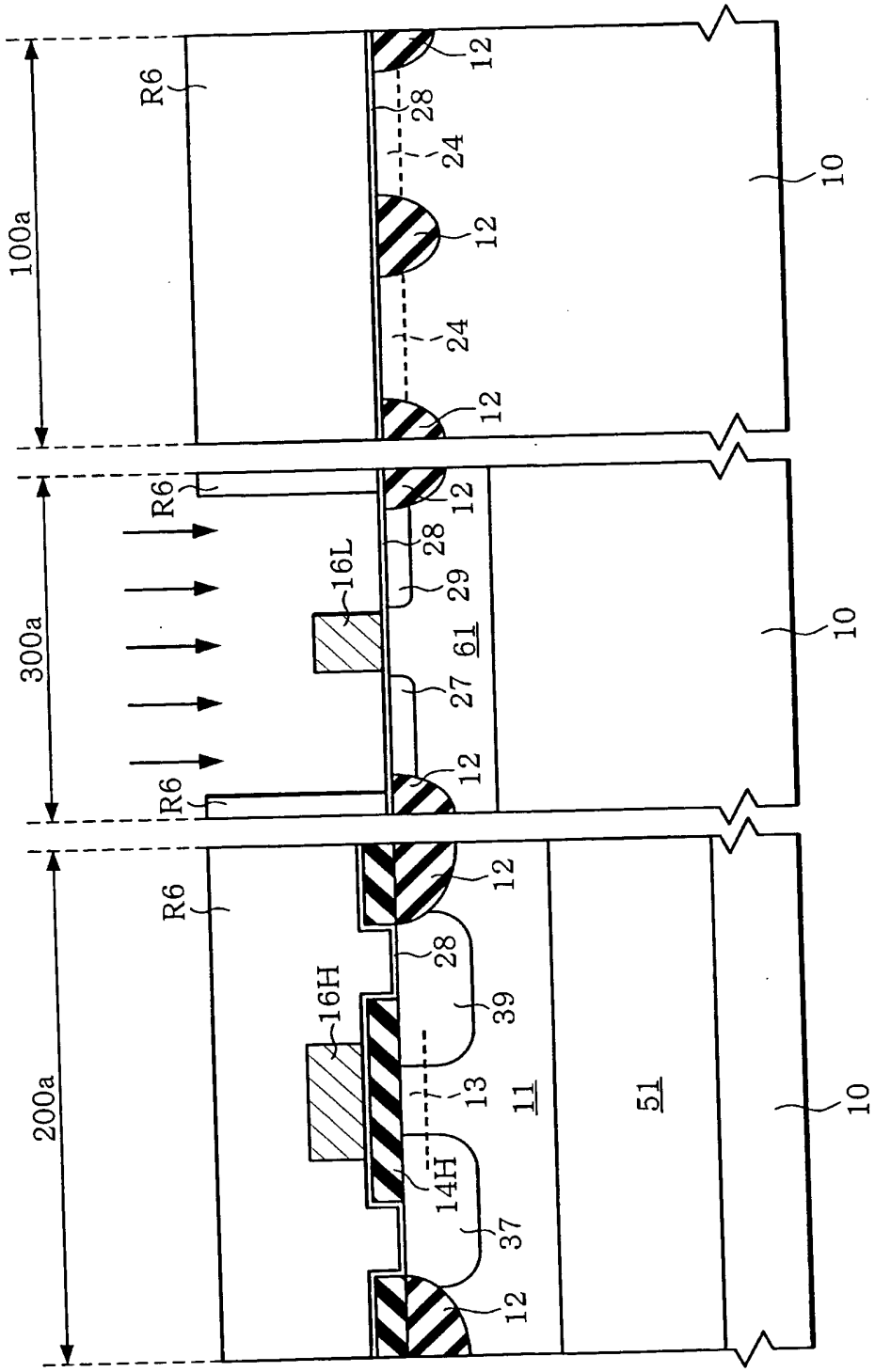
【図１５】



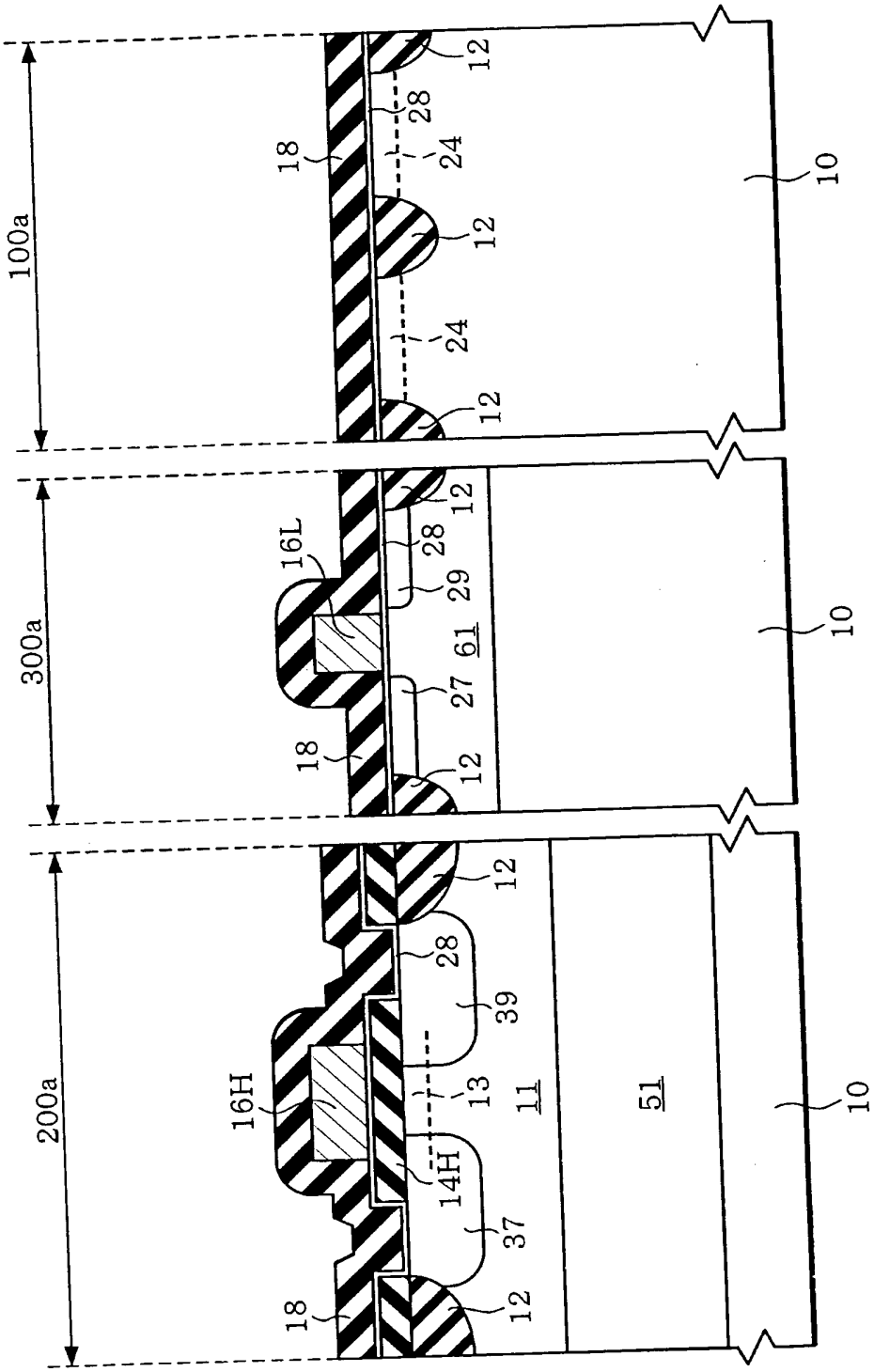
【図１６】



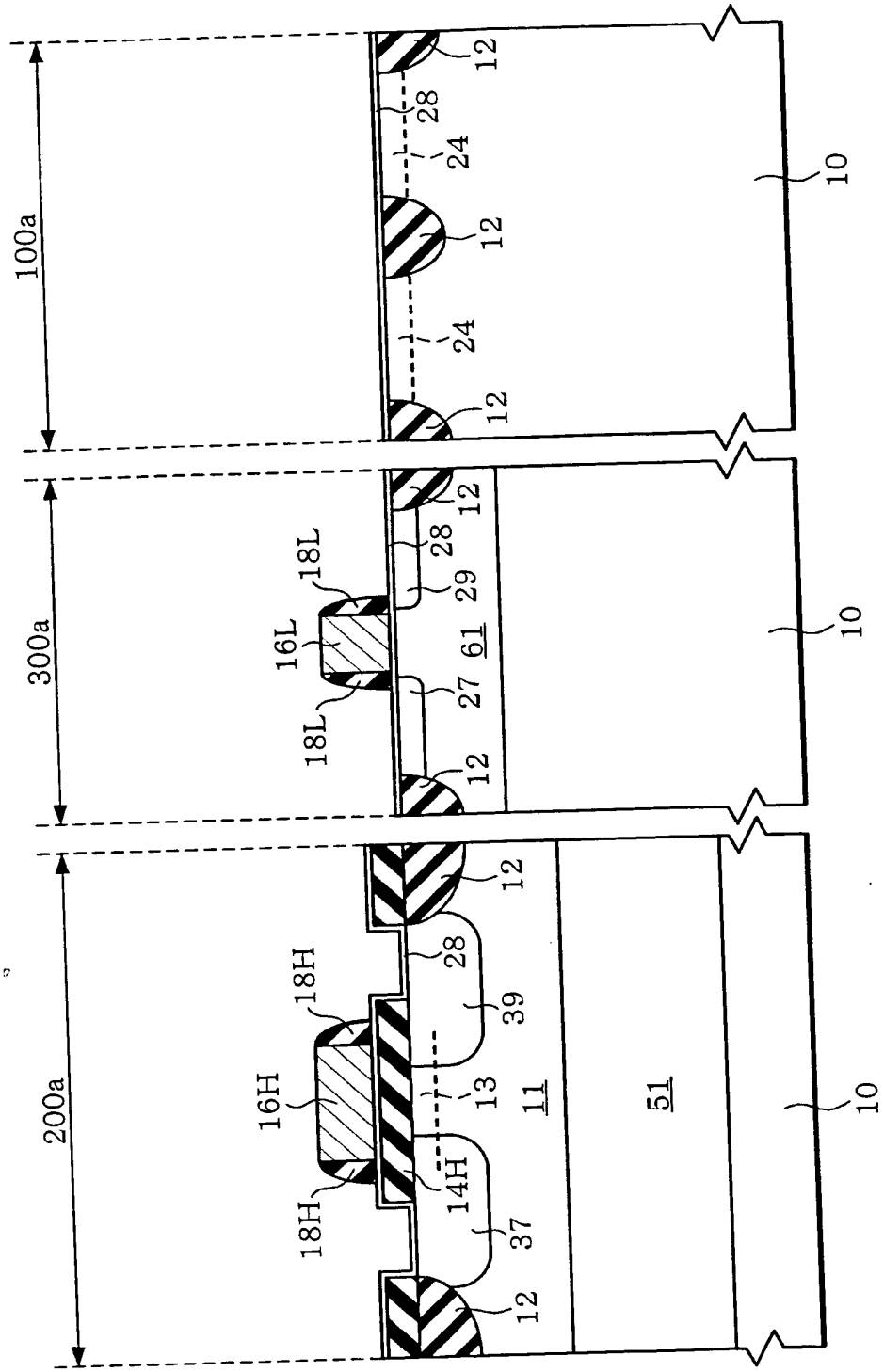
【図１７】



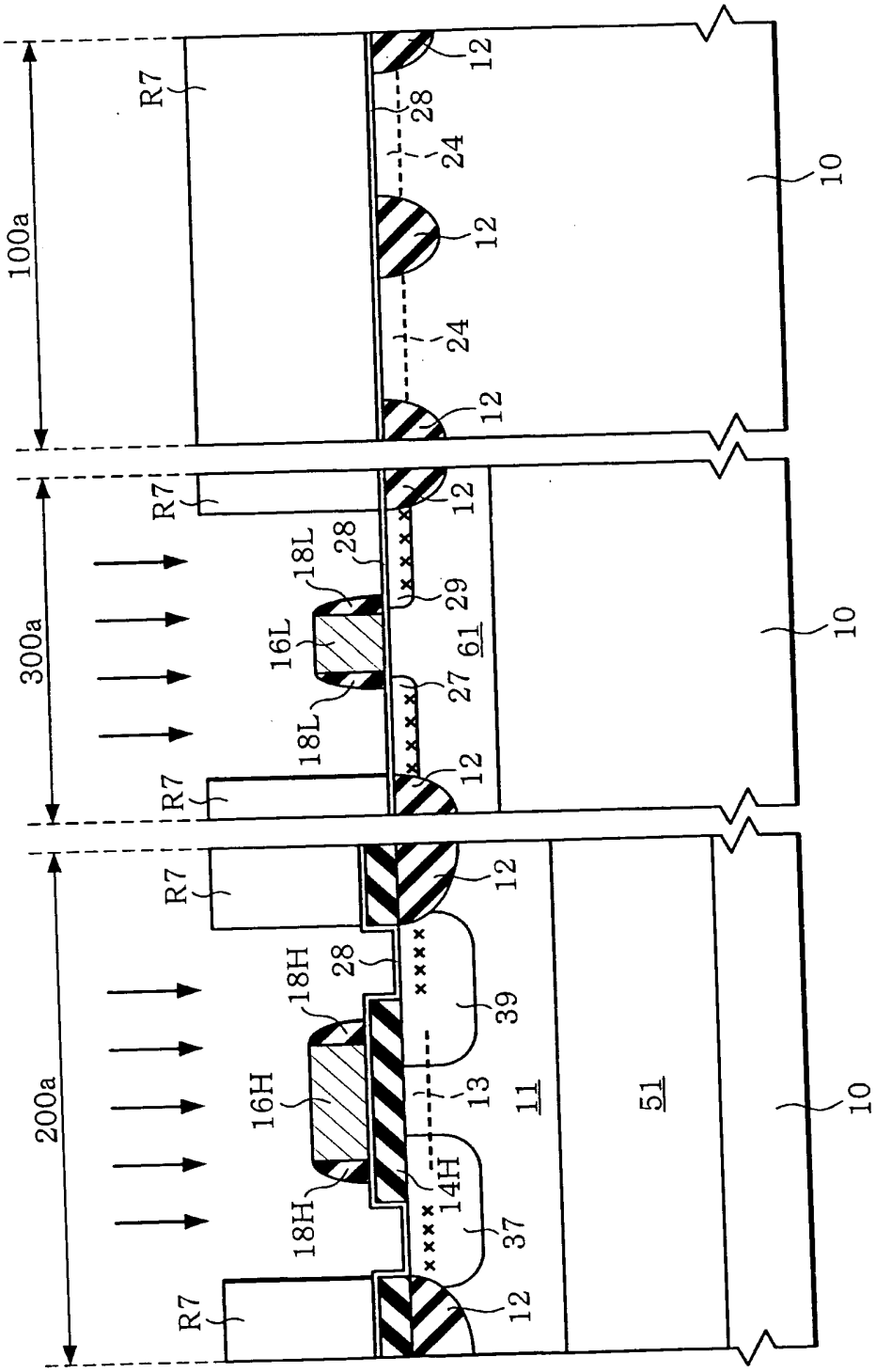
【図１８】



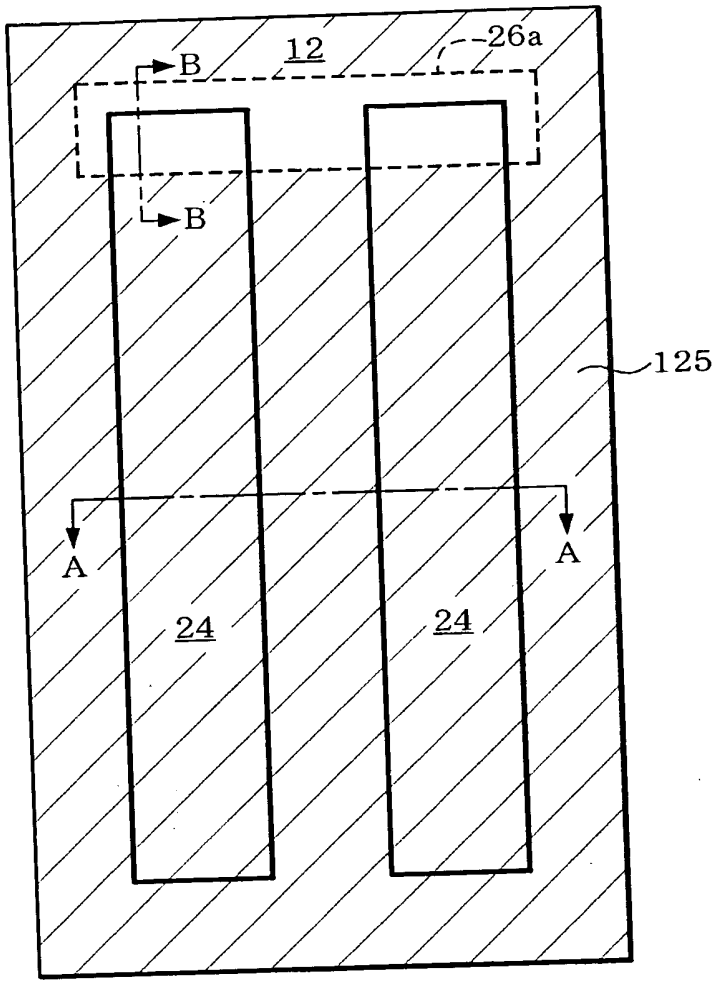
【図１９】


100a
300a
200a
10
12
28
24
18L
16L
29
61
27
18H
16H
39
13
11
51
14H
37

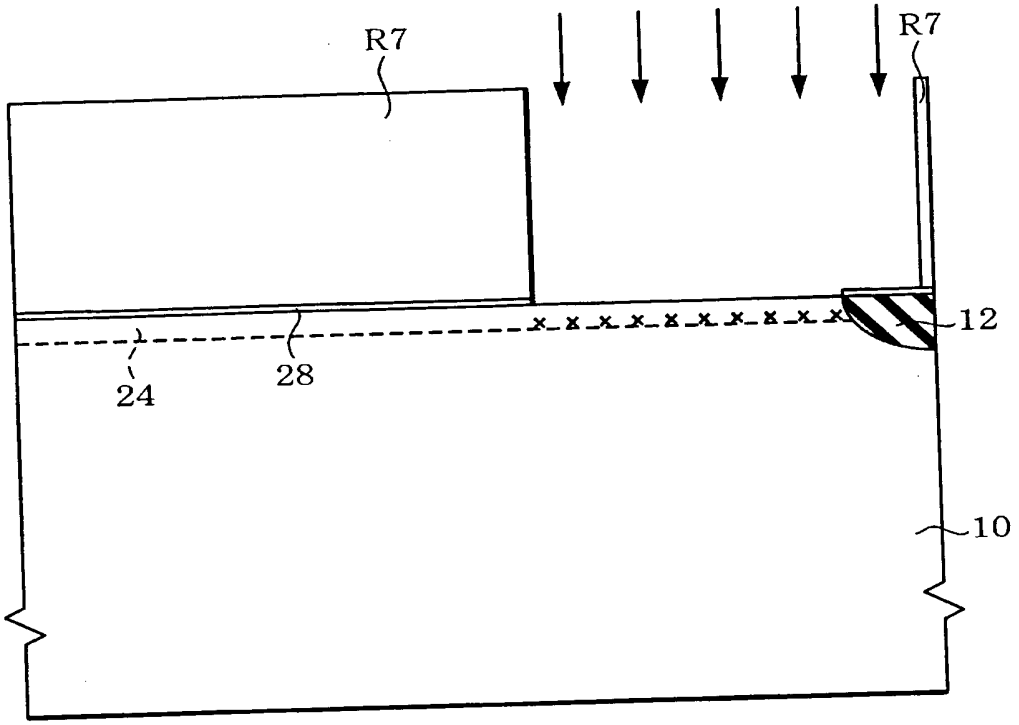
【図２０】


100a
300a
200a
R7
12
28
24
10
18L
16L
29
61
27
16H
18H
39
13
11
51
14H
37

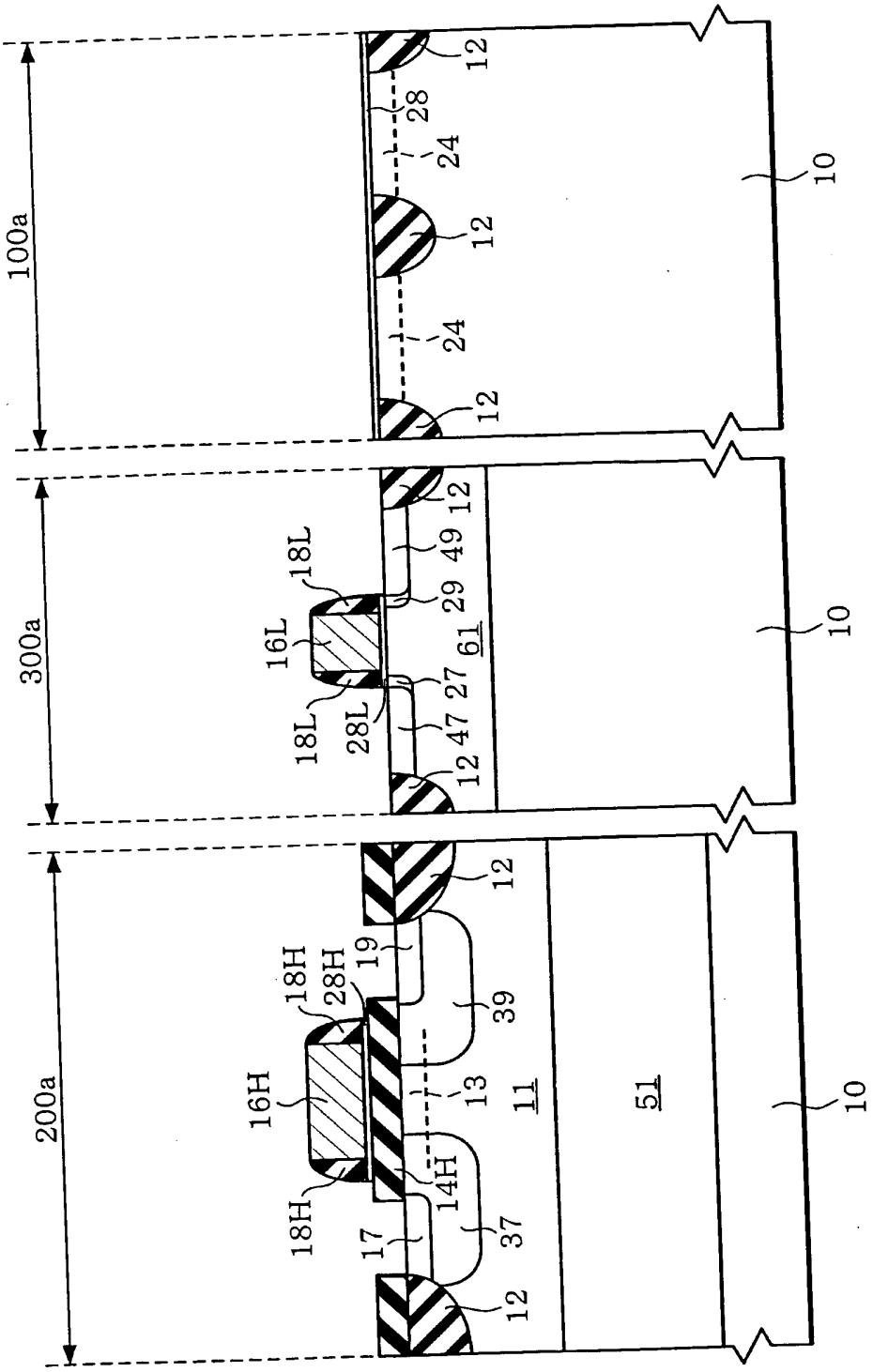
【図２１】



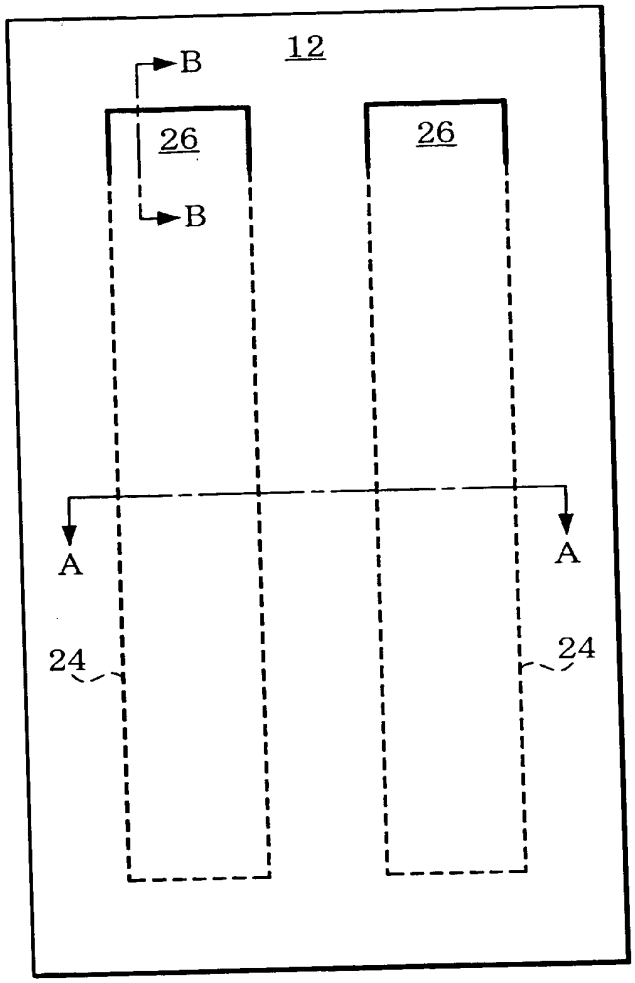
【図２２】



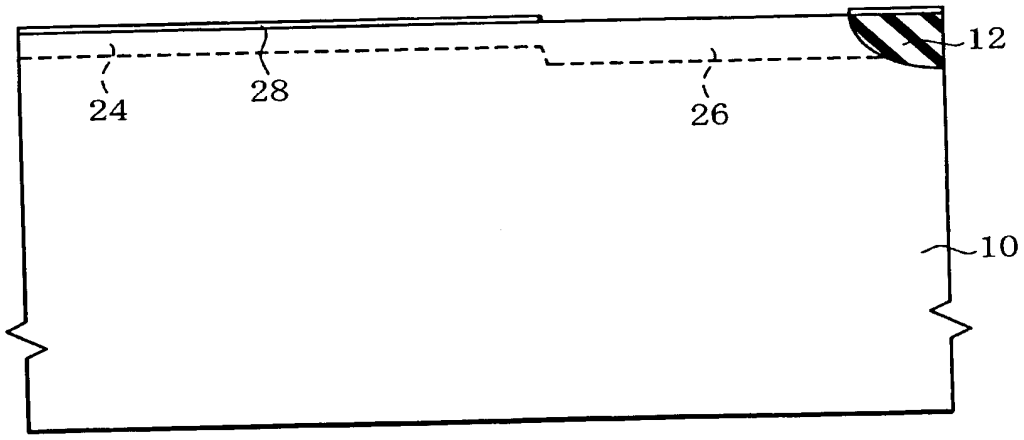
【図２３】


100a
300a
200a
10
12
28
24
18L
16L
29
49
61
27
47
28L
18H
28H
19
39
16H
13
11
51
14H
37
17

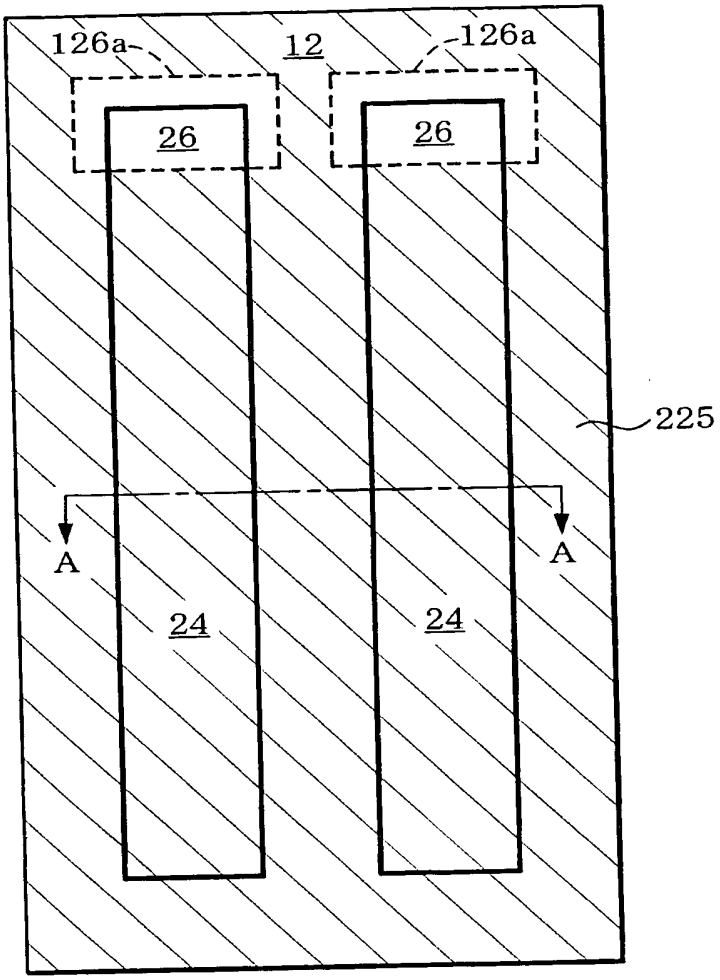
【図２４】



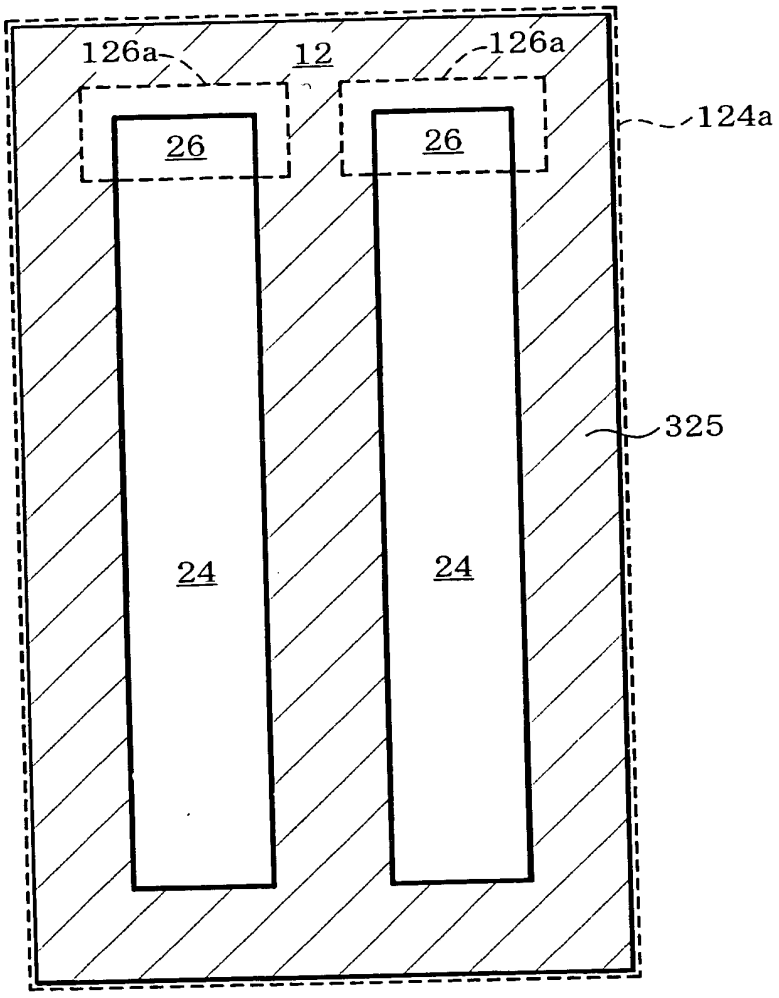
【図２５】



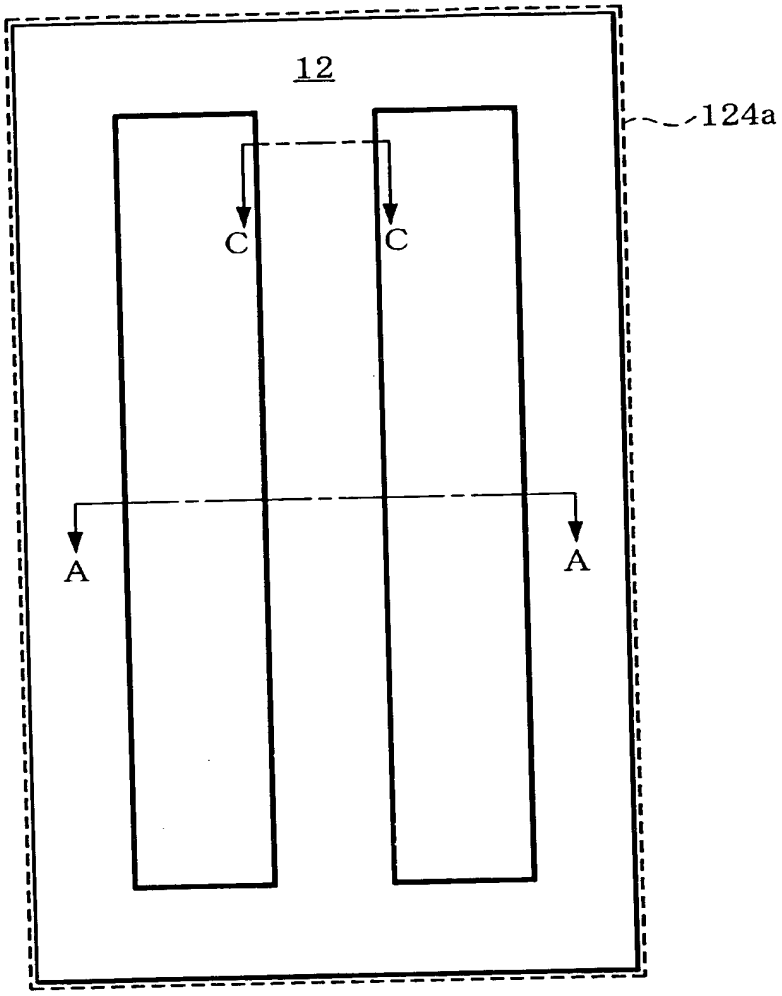
【図２６】



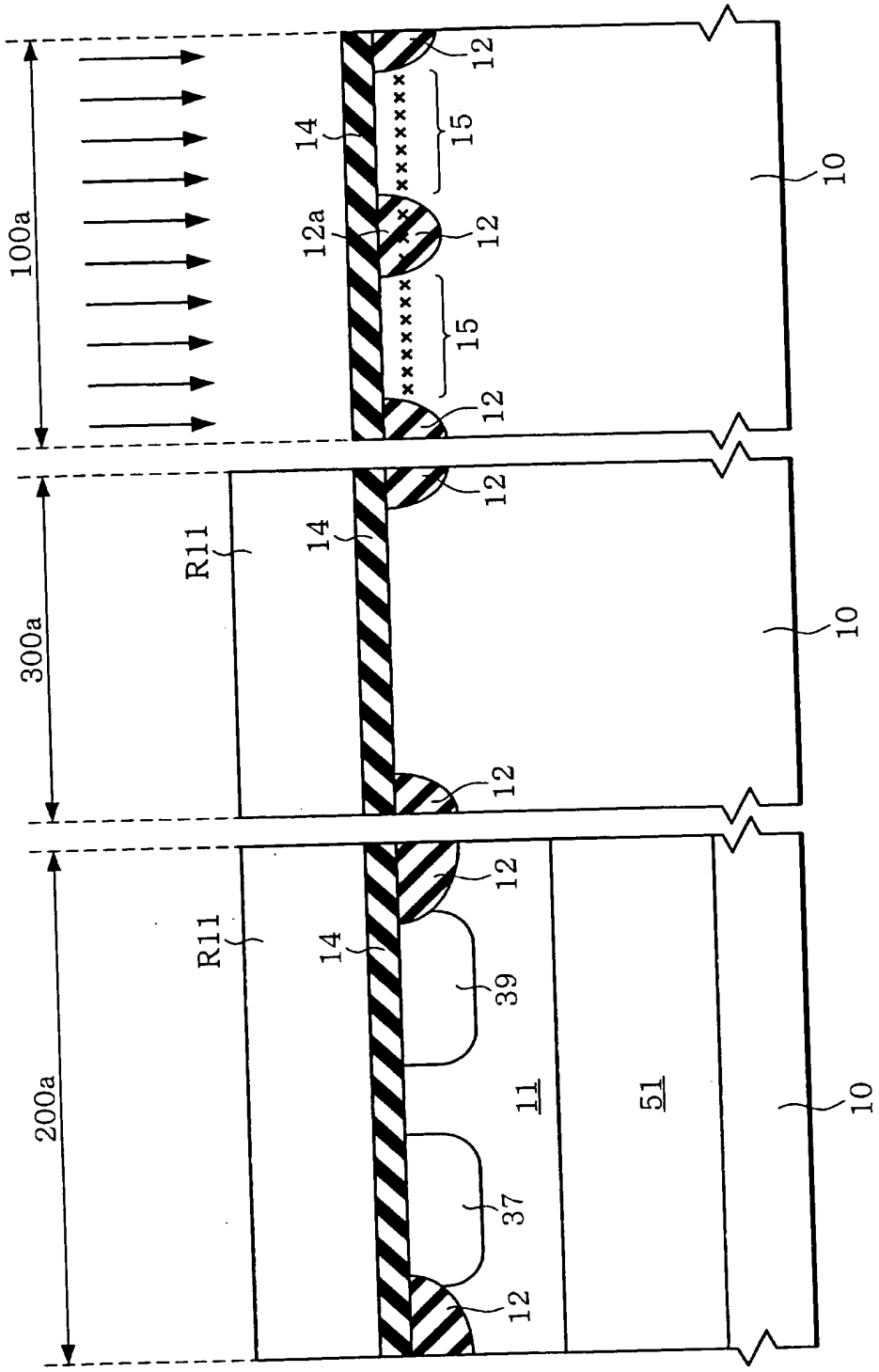
【図２７】



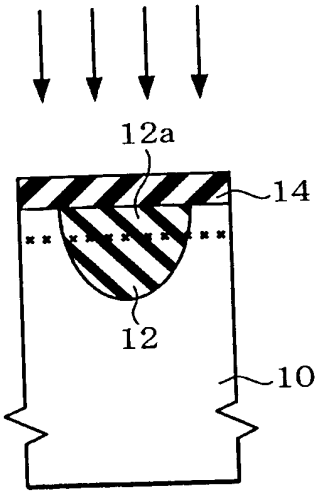
【図２８】



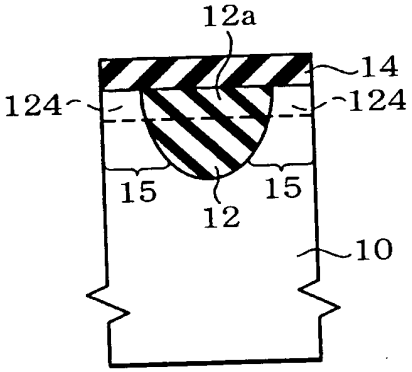
【図２９】



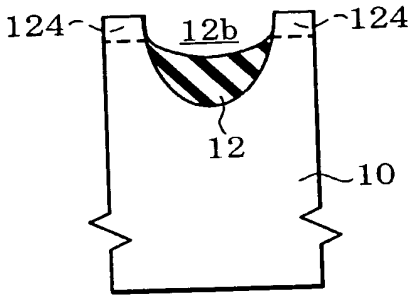
【図３０】



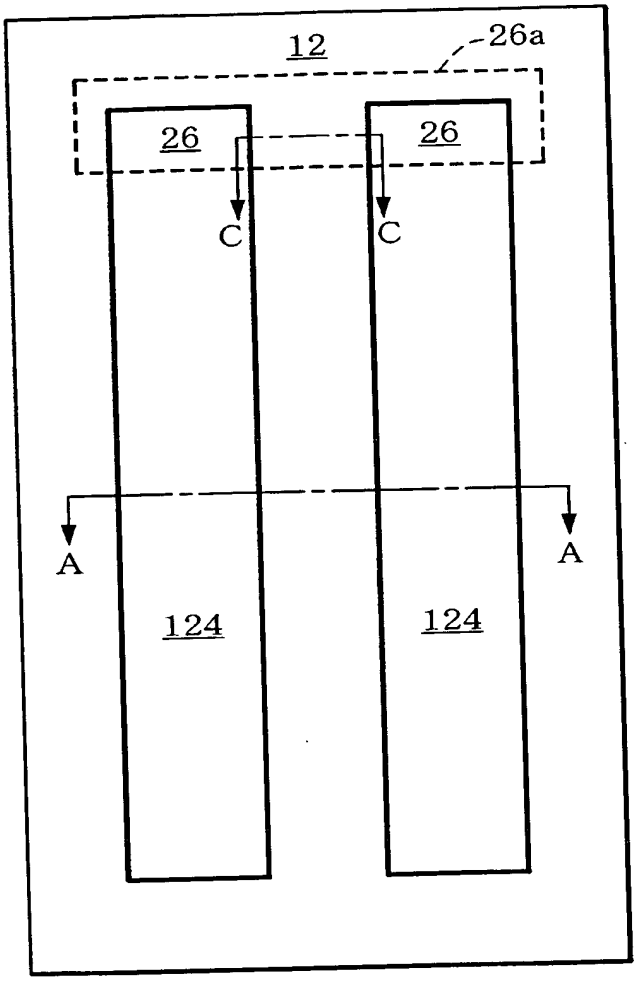
【図３１】



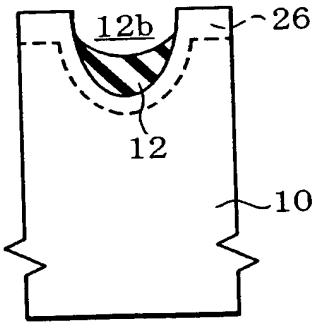
【図３２】



【図３３】



【図３４】



【書類名】　要約書

【要約】

【課題】　抵抗素子として機能する抵抗不純物層を含む半導体装置およびその製造方法を提供する。

【解決手段】　本発明の半導体装置は、半導体層１０と、半導体層１０上に形成され、ソースードレイン間耐圧が異なる絶縁ゲート型の高耐圧トランジスタ２００および低耐圧トランジスタ３００と、半導体層１０上に形成された抵抗不純物層２４とを含む。

【選択図】　図１

特願２００３－００９９３２

出　願　人　履　歴　情　報

識別番号　［０００００２３６９］

１．変更年月日　１９９０年　８月２０日
［変更理由］　新規登録
住　所　東京都新宿区西新宿２丁目４番１号
氏　名　セイコーエプソン株式会社